专注的力量成就梦想

LPC938 器件

数据手册

广州周立功单片机发展有限公司
地址：广州市天河北路 689 号光大银行大厦 15 楼 F1
http://www.zlgmcu.com

目录

1. 概述.....1

2. 特性.....1

2.1 主要特性.....1
2.2 其它特性.....1

3. 订购信息.....2

3.1 订购选项.....2

4. 方框图.....3

5. 功能框图.....4

6. 管脚信息.....4

6.1 管脚.....4
6.2 管脚描述.....6

7. 功能描述.....9

7.1 特殊功能寄存器.....9
7.2 增强型CPU.....17
7.3 时钟.....17
7.3.1 时钟定义.....17
7.3.2 CPU时钟（OSCCLK）.....17
7.3.3 低频振荡器选项.....17
7.3.4 中频振荡器选项.....17
7.3.5 高频振荡器选项.....17
7.3.6 时钟输出.....17
7.4 片内RC振荡器选项.....18
7.5 看门狗振荡器选项.....18
7.6 外部时钟输入选项.....18
7.7 CCLK唤醒延迟.....18
7.8 CCLK修改：DIVM寄存器.....19
7.9 低功耗选择.....19
7.10 存储器结构.....19
7.11 数据RAM分配.....20
7.12 中断.....20
7.12.1 外部中断输入.....20
7.13 I/O口.....21
7.13.1 I/O口配置.....22
7.13.1.1 准双向口输出配置.....22
7.13.1.2 开漏输出配置.....22
7.13.1.3 仅为输入配置.....22
7.13.1.4 推挽输出配置.....22
7.13.2 P0 口模拟功能.....22

7.13.3 附加端口特性.....22
7.14 电源监控功能.....23
7.14.1 掉电检测.....23
7.14.2 上电检测.....23
7.15 节电模式.....23
7.15.1 空闲模式.....23
7.15.2 掉电模式.....23
7.15.3 完全掉电模式.....24
7.16 复位.....24
7.16.1 复位向量.....24
7.17 定时器 / 计数器 0 和 1.....24
7.17.1 模式 0.....25
7.17.2 模式 1.....25
7.17.3 模式 2.....25
7.17.4 模式 3.....25
7.17.5 模式 6.....25
7.17.6 定时器溢出触发输出.....25
7.18 RTC/系统定时器.....25
7.19 捕获/比较单元（CCU）.....25
7.19.1 CCU时钟（CCUCLK）.....26
7.19.2 CCU时钟预分频.....26
7.19.3 基本定时器操作.....26
7.19.4 输出比较.....26
7.19.5 输入捕获.....26
7.19.6 PWM操作.....26
7.19.7 交替输出模式.....27
7.19.8 PLL的操作.....27
7.19.9 CCU中断.....28
7.20 UART.....28
7.20.1 模式 0.....28
7.20.2 模式 1.....28
7.20.3 模式 2.....29
7.20.4 模式 3.....29
7.20.5 波特率发生器及选择.....29
7.20.6 帧错误.....29
7.20.7 间隔检测.....29
7.20.8 双缓冲.....29
7.20.9 双缓冲使能时发送中断（模式 1，2 和 3）.....30
7.20.10 双缓冲中的第 9 位数据（模式 1，2 和 3）.....30
7.21 I^2C总线接口.....30
7.22 串行外围接口（SPI）.....31
7.22.1 典型的SPI配置.....32
7.23 模拟比较器.....33
7.23.1 内部参考电压.....34

7.23.2 比较器中断.....34
7.23.3 比较器和节电模式.....34
7.24 键盘中断（KBI）.....34
7.25 看门狗定时器.....35
7.26 附加特性.....35
7.26.1 软件复位.....35
7.26.2 双数据指针.....36
7.27 数据EEPROM.....36
7.28 FLASH程序存储器.....36
7.28.1 概述.....36
7.28.2 特性.....36
7.28.3 Flash的结构.....37
7.28.4 Flash用作数据存储器.....37
7.28.5 Flash的编程和擦除.....37
7.28.6 在电路编程（ICP）.....37
7.28.7 在应用中编程（IAP）.....37
7.28.8 在系统编程（ISP）.....37
7.28.9 上电复位代码的执行.....38
7.28.10 引导装载程序的硬件激活.....38
7.29 用户配置字节.....38
7.30 用户扇区保密字节.....38

8. A/D转换器.....38

8.1 概述.....38
8.2 A/D特性.....39
8.3 方框图.....39
8.4 A/D工作模式.....39
8.4.1 固定通道，单次转换模式.....39
8.4.2 固定通道，连续转换模式.....40
8.4.3 自动扫描，单次转换模式.....40
8.4.4 自动扫描，连续转换模式.....40
8.4.5 双通道，连续转换模式.....40
8.4.6 单步模式.....40
8.5 触发启动模式.....40
8.5.1 定时器触发启动.....40
8.5.2 立即启动.....40
8.5.3 边沿触发.....41
8.6 边界限制中断.....41
8.7 时钟分频器.....41
8.8 掉电和空闲模式.....41

9. 极限值.....41

10. 静态特性.....42

11. 动态特性.....44

11.1 波形 48
11.2 ISP入口模式 50
12. 其它特性 51
12.1 比较器电气特性 51
12.2 A/D转换器电气特性 51
13. 封装 52
14. 缩写词 55
15. 修订记录 55
附录A 周立功公司相关信息 56

1. 概述

P89LPC938 是一款单片封装的微控制器，含有多种低成本的封装形式。它采用了高性能的处理器结构，指令执行时间只需 2 到 4 个时钟周期。6 倍于标准 80C51 器件。P89LPC938 集成了许多系统级的功能，这样可大大减少元件的数目和电路板面积并降低系统的成本。

2. 特性

2.1 主要特性

- 8KB 字节可擦除 Flash 程序存储器，具有 1KB 扇区和 64 字节页。单字节擦除特性使得任何字节都可用于非易失性数据存储。
- 256 字节 RAM 数据存储器。512 字节附加片内 RAM。
- 512 字节片内用户数据 EEPROM 存储区，可用来存放器件序列码及设置参数等。
- 8 输入多路 10 位 A/D 转换器。2 个模拟比较器。可选择输入和参考源。
- 2 个 16 位定时/计数器（每一个定时器均可设置为溢出时触发相应端口输出或作为 PWM 输出），23 位的系统定时器可用作实时时钟（RTC）。
- 增强型 UART。具有波特率发生器、间隔检测、帧错误检测和自动地址检测功能。400kHz 字节方式 I2C 通信端口和 SPI 通信端口。
- 捕获/比较单元（CCU）提供 PWM，输入捕获和输出比较功能。
- 选择片内高精度 RC 振荡器时不需要外接振荡器件。可选择 RC 振荡器选项并且其频率可进行很好的调节。
- V_{DD} 操作电压范围为 2.4～3.6V。I/O 口可承受 5V（可上拉或驱动到 5.5V）。
- 28 脚 TSSOP、PLCC 和 HVQFN 封装。最少 23 个 I/O 口，选择片内振荡和片内复位时可多达 26 个 I/O 口。

2.2 其它特性

- 当操作频率为 18MHz 时，除乘法和除法指令外，高速 80C51 CPU 的指令执行时间为 111~222ns。同一时钟频率下，其速度为标准 80C51 器件的 6 倍。只需要较低的时钟频率即可达到同样的性能，这样无疑降低了功耗和 EMI。
- 串行 Flash 在电路编程（ICP）可通过商用 EPROM 编程器实现简单的编程。Flash 保密位可防止程序被读出。
- 串行 Flash 在系统编程（ISP）可实现已固定在最终应用上的器件的编程。
- Flash 程序存储器可实现在应用中编程（IAP）。这允许在程序运行时改变代码。
- 看门狗定时器具有片内独立振荡器，无需外接元件。看门狗定时器溢出时间有 8 种选择。
- 低电压复位（掉电检测）可在电源故障时使系统安全关闭。该功能也可配置为一个中断。

- 空闲和两种不同的掉电节电模式。提供从掉电模式中唤醒功能（低电平中断输入唤醒）。典型的掉电电流为 1μA（比较器关闭时的完全掉电状态）。
- 低电平复位。使用片内上电复位时不需要外接元件。复位计数器和复位干扰抑制电路可防止虚假和不完全的复位。另外还提供软件复位功能。
- 可配置的片内振荡器，其频率可通过用户可编程 Flash 配置位进行选择。RC 振荡器选项支持的频率范围为 20kHz～18MHz。
- 振荡器失效检测。看门狗定时器具有独立的片内振荡器，因此它可用于振荡器的失效检测。
- 可编程 I/O 口输出模式：准双向口，开漏输出，推挽和仅为输入功能。
- 端口“输入模式匹配”检测。当 P0 口管脚的值与一个可编程的模式匹配或者不匹配时，可产生一个中断。
- 所有口线均有 20mA 的 LED 驱动能力。但整个芯片有一个最大值的限制。
- 可控制口线输出斜率以降低 EMI，输出最小跳变时间约为 10ns。
- 当选择片内复位时，P89LPC938 只需连接电源和地。
- 4 个中断优先级。
- 8 个键盘中断输入，另加 2 路外部中断输入。
- 施密特触发端口输入。
- 双数据指针（DPTR）。
- 仿真支持。

3. 订购信息

表 1 订购信息

器件型号	封装		
	名称	描述	版本
P89LPC938FA	PLCC28	PLCC28；28 脚	SOT261-2
P89LPC938FDH	TSSOP28	TSSOP28；28 脚；本体宽度 4.4mm	SOT361-1
P89LPC938FHN	HVQFN28	HVQFN28；无管脚；28 个引出端；本体大小：6×6×0.85mm	SOT788-1

3.1 订购选项

表 2：订购选项

器件型号	Flash 存储器	温度范围	频率
P89LPC938FA	8kB	-40℃～+85℃	0～18MHz
P89LPC938FDH	8kB	-40℃～+85℃	0～18MHz
P89LPC938FHN	8kB	-40℃～+85℃	0～18MHz

4. 方框图

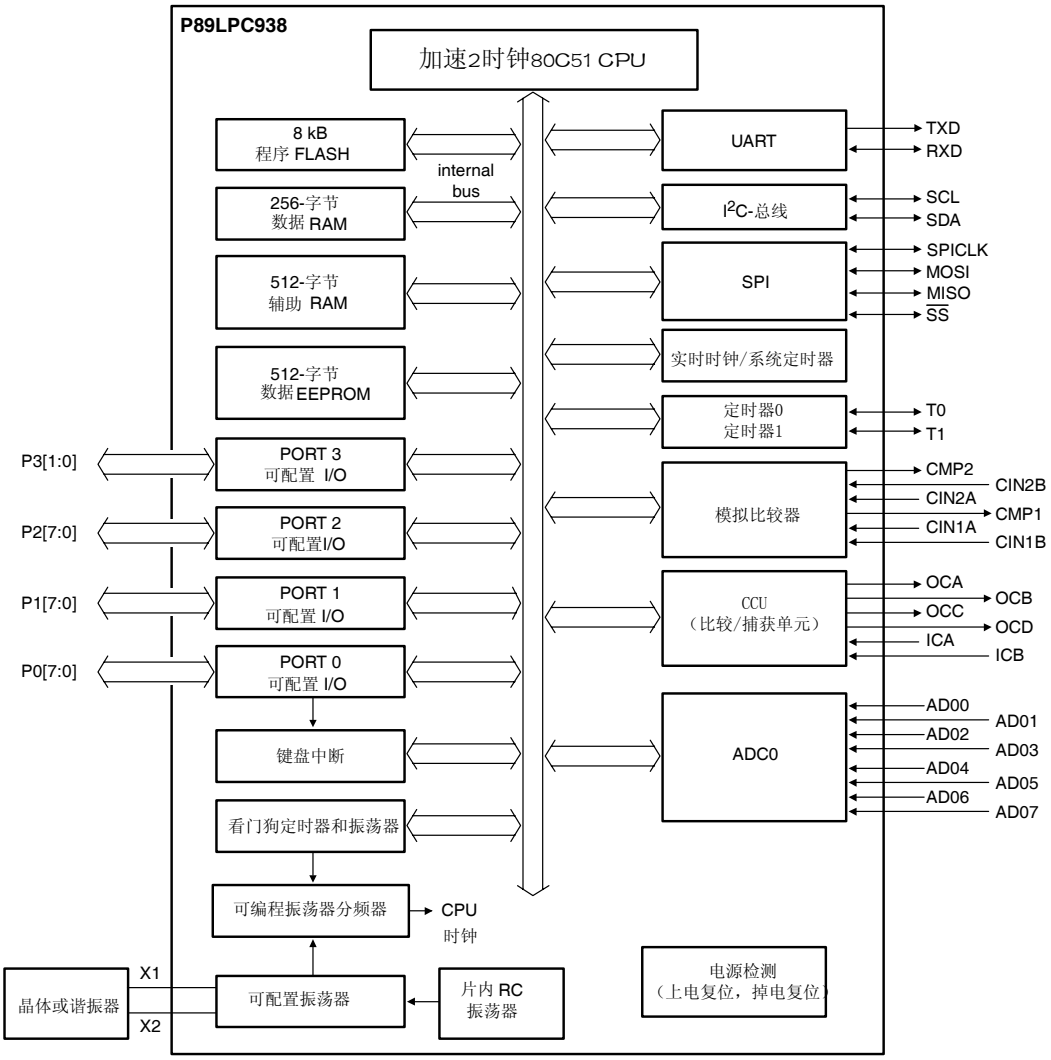

P89LPC938
加速2时钟80C51 CPU
8 kB
程序 FLASH
256-字节
数据 RAM
512-字节
辅助 RAM
512-字节
数据 EEPROM
internal
bus
PORT 3
可配置 I/O
PORT 2
可配置I/O
PORT 1
可配置 I/O
PORT 0
可配置 I/O
键盘中断
看门狗定时器和振荡器
可编程振荡器分频器
CPU
时钟
可配置振荡器
片内 RC
振荡器
晶体或谐振器
X1
X2
P3[1:0]
P2[7:0]
P1[7:0]
P0[7:0]
UART
TXD
RXD
I2C-总线
SCL
SDA
SPI
SPICLK
MOSI
MISO
SS
实时时钟/系统定时器
定时器0
定时器1
T0
T1
模拟比较器
CMP2
CIN2B
CIN2A
CMP1
CIN1A
CIN1B
CCU
（比较/捕获单元）
OCA
OCB
OCC
OCD
ICA
ICB
ADC0
AD00
AD01
AD02
AD03
AD04
AD05
AD06
AD07
电源检测
（上电复位，掉电复位）

图 1　方框图

5. 功能框图

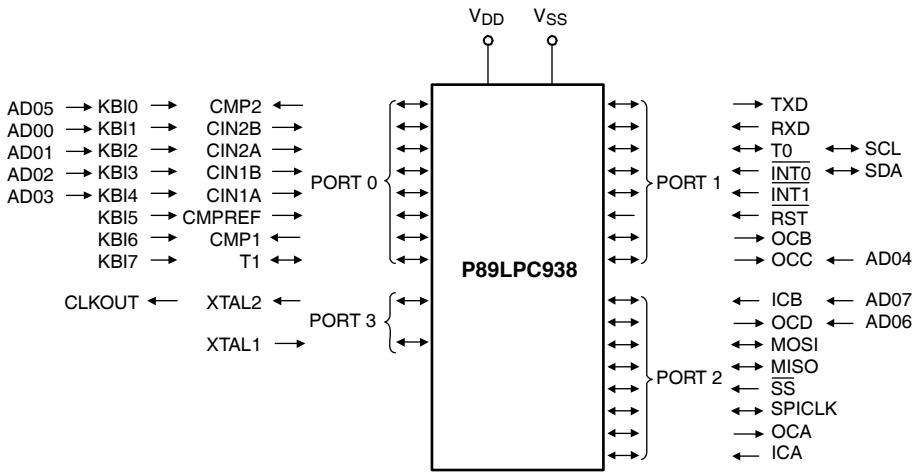


图 2　P89LPC938 功能框图

6. 管脚信息

6.1 管脚

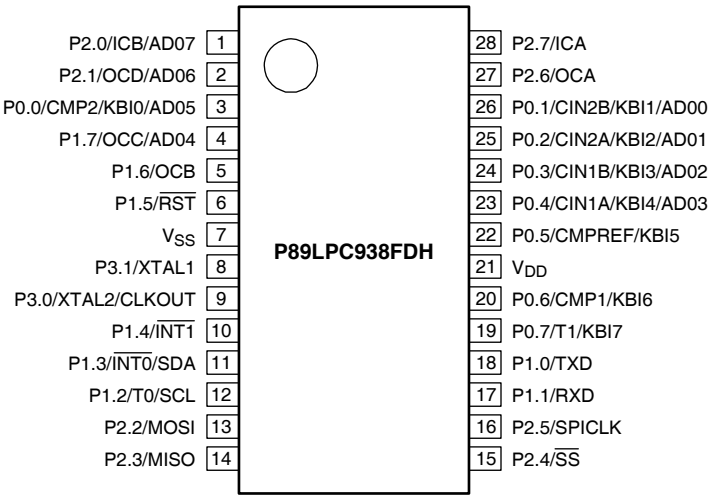


图 3　TSSOP28 脚配置

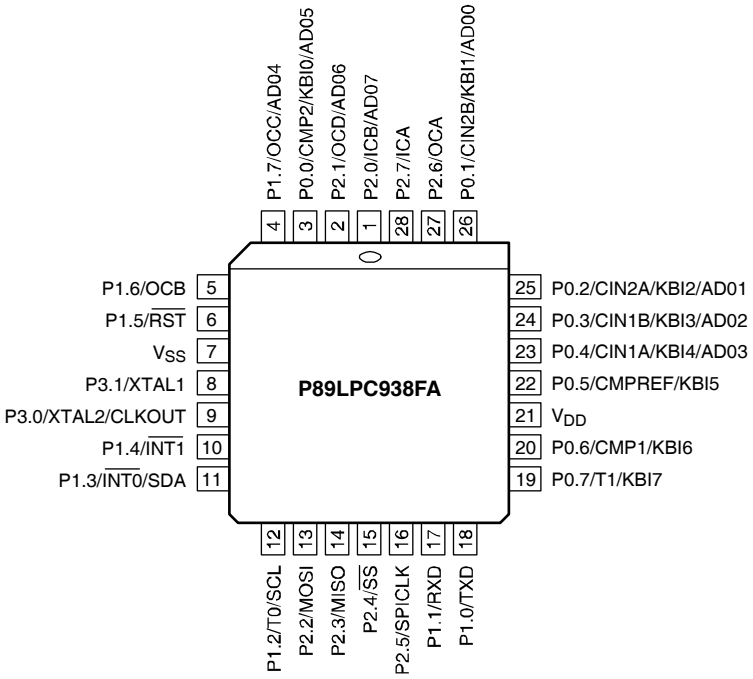


图 4 PLCC28 脚配置

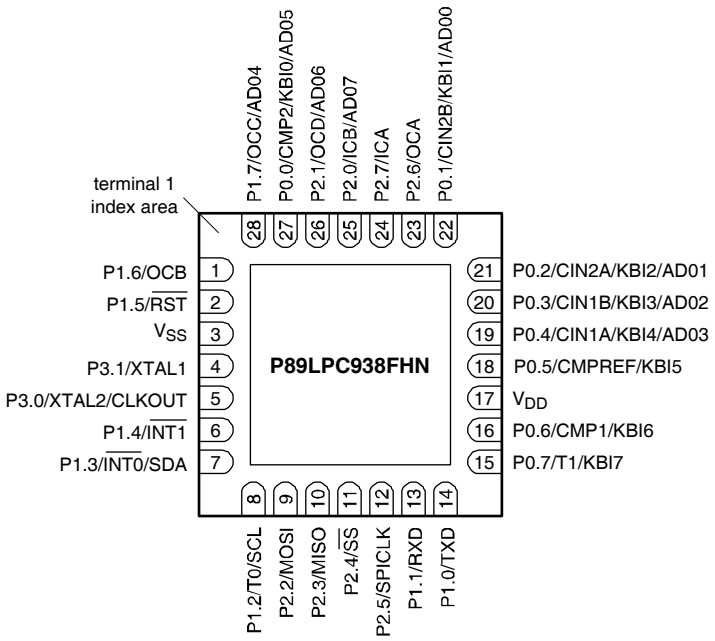


图 5 HVQFN 28 脚配置

6.2 管脚描述

表 3 管脚描述

符号	管脚		类型	描述
	TSSOP28, PLCC28	HVQFN28		
P0.0~ P0.7			I/O	PORT0：P0 是一个可由用户定义输出类型的 8 位 I/O 口，在上电复位时，P0 锁存器配置为内部上拉禁止的仅为输入模式。P0 口由口配置寄存器设定为输出或输入模式，每一个管脚均可单独设定。详细请参考 7.13.1 节“端口配置”和表 10“DC 电气特性”部分。 P0 口具有键盘输入中断功能。 所有管脚都具有施密特触发输入。 P0 口还可提供如下特殊功能：
P0.0/ CMP2/ KBI0/ AD05	3	27	I/O O I I	P0.0：P0 口位 0 CMP2：比较器 2 输出 KBI0：键盘输入 0 AD05：ADC0 通道 5 模拟输入
P0.1/ CIN2B/ KBI1/ AD00	26	22	I/O I I I	P0.1：P0 口位 1 CIN2B：比较器 2 正向输入 B KBI1：键盘输入 1 AD00：ADC0 通道 0 模拟输入
P0.2/ CIN2A/ KBI2/ AD01	25	21	I/O I I I	P0.2：P0 口位 2 CIN2A：比较器 2 正向输入 A KBI2：键盘输入 2 AD01：ADC0 通道 1 模拟输入
P0.3/ CIN1B/ KBI3/ AD02	24	20	I/O I I I	P0.3：P0 口位 3 CIN1B：比较器 1 正向输入 B KBI3：键盘输入 3 AD02：ADC0 通道 2 模拟输入
P0.4/ CIN1A/ KBI4/ AD03	23	19	I/O I I I	P0.4：P0 口位 4 CIN1A：比较器 1 正向输入 A KBI4：键盘输入 4 AD03：ADC0 通道 3 模拟输入
P0.5/ CMPREF/KBI5	22	18	I/O I I	P0.5：P0 口位 5 CMPREF：比较器参考（反向）输入 KBI5：键盘输入 5
P0.6/ CMP1/ KBI6	20	16	I/O O I	P0.6：P0 口位 6 CMP1：比较器 1 输出 KBI6：键盘输入 6
P0.7/T1 /KBI7	19	15	I/O I/O I	P0.7：P0 口位 7 T1：定时/计数器 1 外部计数输入或溢出输出 KBI7：键盘输入 7

续表 3

符号	管脚		类型	描述
	TSSOP28, PLCC28	HVQFN28		
P1.0~ P1.7			I/O, I 山	PORT1：除了下面说明的三个管脚外，P1 是一个可由用户定义输出类型的 8 位 I/O 口。在上电复位时，P1 锁存器配置为内部上拉禁止的仅为输入模式。P1 口由口配置寄存器设定为输出或输入模式，每一位均可单独设定。详细请参考 7.13.1 节“端口配置”和表 10“DC 电气特性”部分。 P1.2-P1.3 作为输出时为开漏。P1.5 为仅为输入模式。 所有管脚都具有施密特触发输入。 P1 口还可提供如下特殊功能：
P1.0/ TXD	18	14	I/O O	P1.0：P1 口位 0 TxD：串行口发送器输出
P1.1/ RXD	17	13	I/O I	P1.1：P1 口位 1 RxD：串行口接收器输入
P1.2/T0 /SCL	12	8	I/O I/O I/O	P1.2：P1 口位 2（作为输出时为开漏） T0：定时/计数器 0 外部计数输入或溢出输出(作为输出时为开漏) SCL：I2C 串行时钟输入/输出
P1.3/ $\overline{\textbf{INT0}}$ / SDA	11	7	I/O I I/O	P1.3：P1 口位 3（作为输出时为开漏） $\overline{\textbf{INT0}}$：外部中断 0 输入 SDA：I^2C 串行数据输入/输出
P1.4/ $\overline{\textbf{INT1}}$	10	6	I I	P1.4： P1 口位 4 $\overline{\textbf{INT1}}$：外部中断 1 输入
P1.5/ $\overline{\textbf{RST}}$	6	2	I I	P1.5：P1 口位 5（仅为输入） $\overline{\textbf{RST}}$：上电时作为外部复位输入(通过 UCFG1 选择)。作为复位管脚时，输入的低电平会使芯片复位,I/O 口和外围功能进入默认状态，处理器从地址 0 开始执行。另外该管脚还可用于在上电时强制进入 ISP 模式。当使用频率高于 12MHz 的振荡器时，必须使能 P1.5 的复位输入功能。上电时，需要一个外部电路使器件保持复位状态，直至 VDD 到达指定的电平。当系统电源被移走时，VDD 将降至低于指定的最低工作电压。在某些使用频率高于 12MHz 的振荡器的应用中，当 VDD 降至低于指定的最低工作电压时，需要一个外部掉电检测电路使器件保持复位状态。
P1.6/ OCB	5	1	I/O I	P1.6：P1 口位 6 OCB：输出比较 B
P1.7/ OCC/ AD04	4	28	I/O O I	P1.7：P1 口位 7 OCC：输出比较 C AD04：ADC0 通道 4 模拟输入

续表 3

符号	管脚		类型	描述
	TSSOP28, PLCC28	HVQFN28		
P2.0~ P2.7			I/O	PORT2：P2 是一个可由用户定义输出类型的 8 位 I/O 口，在上电复位时，P2 锁存器配置为内部上拉禁止的仅为输入模式。P2 口由口配置寄存器设定为输出或输入模式，每一位均可单独设定。详细请参考 7.13.1 节“端口配置”和表 10“DC 电气特性”部分。 所有管脚都具有施密特触发输入。 P2 口还可提供如下特殊功能：
P2.0/ ICB/ AD07	1	25	I/O I I	P2.0：P2 口位 0 ICB：输入捕获 B AD07：ADC0 通道 7 模拟输入
P2.1/ OCD/ AD06	2	26	I/O O I	P2.1：P2 口位 1 OCD：输出比较 D AD06：ADC0 通道 6 模拟输入
P2.2/ MOSI	13	9	I/O I/O	P2.2：P2 口位 2 MOSI：SPI 主机输出/从机输入。当配置为主机时，该管脚为输出；当配置为从机时，该管脚为输入。
P2.3/ MISO	14	10	I/O I/O	P2.3：P2 口位 3 MISO：当配置为主机时，该管脚为输入；当配置为从机时，该管脚为输出。
P2.4/ $\overline{SS}$	15	11	I/O I	P2.4： P2 口位 4 $\overline{SS}$：SPI 从机选择
P2.5/ SPICLK	16	12	I/O I/O	P2.5：P2 口位 5 SPICLK：SPI 时钟。当配置为主机时，该管脚为输出；当配置为从机时，该管脚为输入
P2.6/ OCA	27	23	I/O O	P2.6：P2 口位 6 OCA：输出比较 A
P2.7/ ICA	28	24	I/O I	P2.7：P2 口位 7 ICA：输入捕获 A
P3.0~ P3.1			I/O	PORT3：P3 是一个可由用户定义输出类型的 2 位 I/O 口，在上电复位时，P3 锁存器配置为内部上拉禁止的仅为输入模式。P3 口由口配置寄存器设定为输出或输入模式，每一个管脚均可单独设定。详细请参考 7.13.1 节“端口配置”和表 10“DC 电气特性”部分。 所有管脚都具有施密特触发输入。 P0 口还可提供如下特殊功能。

续表 3

符号	管脚		类型	描述
	TSSOP28, PLCC28	HVQFN28		
P3.0/ XTAL2/ CLKOUT	9	5	I/O O O	P3.0：P3 口位 0 XTAL2：振荡放大器输出(通过 Flash 配置为晶体振荡器时) CLKOUT：通过使能 SFR 位（ENCLK-TRIM.6）将 CPU 时钟 2 分频后输出。当 CPU 时钟为内部 RC 振荡器、看门狗振荡器或外部时钟输入时可用，但当 XTAL1/XTAL2 用于产生 RTC/系统定时器的时钟源时除外。
P3.1/ XTAL1	8	4	I/O I	P3.1：P3 口位 1 XTAL1：振荡电路和内部时钟发生器电路输入（通过 Flash 选择）。如果使用内部 RC 振荡器或看门狗振荡器作为 CPU 时钟源并且 XTAL1/XTAL2 不用于产生 RTC/系统定时器的时钟时，可作为 I/O 口使用。
V_{SS}	7	13	I	地：0V 参考点
V_{DD}	21	17	I	电源：正常操作模式、空闲模式和掉电模式时的电源。

[1] P1.0 到 P1.4, P1.6, P1.7 为输入/输出，P1.5 为输入。

7. 功能描述

注：更详细的功能描述请参考 P89LPC938 使用指南。

7.1 特殊功能寄存器

注：对特殊功能寄存器(SFR)的访问必须遵循以下方式：

- 用户不要试图访问任何未经定义的 SFR 地址。
- 对任何已定义的 SFR 的访问必须符合 SFR 的功能。
- 标注为‘-’,‘0’或‘1’的 SFR 位只能以如下方式读或写：
  - ‘-’除非特殊说明，必须写入 0，但当读出时不返回任何确定的值（即使向其写入 0）。这是一个保留位，作为将来功能扩展之用。
  - ‘0’必须写入 0，并且当读出时返回 0。
  - ‘1’必须写入 1，并且当读出时返回 1。

表 4 P89LPC938 特殊功能寄存器

*****表示可位寻址的 SFR。*

名称	定义	地址	位功能和位地址 MSB LSB								复位值 Hex Binary
		位地址	E7	E6	E5	E4	E3	E2	E1	E0	
ACC*	累加器	E0H									00 00000000
AD0CON	ADC0 控制寄存器	97H	ENBI0	ENADCI0	TMM0	EDGE0	ADCI0	ENADC0	ADCS01	ADCS00	00 00000000
AD0INS	ADC0 输入选择	A3H	ADI07	ADI06	ADI05	ADI04	ADI03	ADI02	ADI01	ADI00	00 00000000
AD0MODA	ADC0 模式寄存器 A	C0H	BNDI0	BURST0	SCC0	SCAN0	-	-	-	-	00 00000000
AD0MODB	ADC0 模式寄存器 B	A1H	CLK2	CLK1	CLK0	-	-	-	-	-	00 000x0000
AUXR1	辅助功能寄存器	A2H	CLKLP	EBRR	ENT1	ENT0	SRST	0	-	DPS	00 00000000
		位地址	F7	F6	F5	F4	F3	F2	F1	F0	
B*	B 寄存器	F0H									00 00000000
BRGR0[1]	波特率发生器低字节	BEH									00 00000000
BRGR1[1]	波特率发生器高字节	BFH									00 00000000
BRGCON	波特率发生器控制	BDH	-	-	-	-	-	-	SBRGS	BRGEN	00[1] xxxxxx00
CCCRA	捕获比较 A 控制寄存器	EAH	ICECA2	ICECA1	ICECA0	ICESA	ICNFA	FCOA	OCMA1	OCMA0	00 00000000
CCCRB	捕获比较 B 控制寄存器	EBH	ICECB2	ICECB1	ICECB0	ICESB	ICNFB	FCOB	OCMB1	OCMB0	00 00000000
CCCRC	捕获比较 C 控制寄存器	ECH	-	-	-	-	-	FCOC	OCMC1	OCMC0	00 xxxxx000
CCCRD	捕获比较 D 控制寄存器	EDH	-	-	-	-	-	FCOD	OCMD1	OCMD0	00 xxxxx000
CMP1	比较器 1 控制寄存器	ACH	-	-	CE1	CP1	CN1	OE1	CO1	CMF1	00[2] xx000000
CMP2	比较器 2 控制寄存器	ADH	-	-	CE2	CP2	CN2	OE2	CO2	CMF2	00[2] xx000000
DEECON	数据 EEPROM 控制寄存器	F1H	EEIF	HVERR	ECTL1	ECTL0	-	-	-	EADR8	0E 00001110
DEEDAT	数据 EEPROM 数据寄存器	F2H									00 00000000

续表 4

名称	定义	地址	位功能和位地址 MSB LSB								复位值 Hex Binary
		位地址	F7	F6	F5	F4	F3	F2	F1	F0	
DEEADR	数据 EEPROM 地址寄存器	F3H									00 00000000
DIVM	CPU 时钟分频控制	95H									00 00000000
DPTR	数据指针(双字节)										
DPH	指针高字节	83H									00 00000000
DPL	指针低字节	82H									00 00000000
FMADRH	编程 Flash 地址高字节	E7H									00 00000000
FMADRL	编程 Flash 地址低字节	E6H									00 00000000
FMCON	编程 Flash 控制（读）	E4H	BUSY	-	-	-	HVA	HVE	SV	OI	70 01110000
	编程 Flash 控制（写）	E4H	FMCMD.7	FMCMD.6	FMCMD.5	FMCMD.4	FMCMD.3	FMCMD.2	FMCMD.1	FMCMD.0	
FMDATA	编程 Flash 数据	E5H									00 00000000
I2ADR	I2C 从地址寄存器	DBH	I2ADR.6	I2ADR.5	I2ADR.4	I2ADR.3	I2ADR.2	I2ADR.1	I2ADR.0	GC	00 00000000
		位地址	DF	DE	DD	DC	DB	DA	D9	D8	
I2CON*	I2C 控制寄存器	D8H	-	I2EN	STA	STO	SI	AA	-	CRSEL	00 x00000x0
I2DAT	I2C 数据寄存器	DAH									
I2SCLH	串行时钟发生器/SCL 占空比寄存器高字节	DDH									00 00000000
I2SCLL	串行时钟发生器/SCL 占空比寄存器低字节	DCH									00 00000000
I2STAT	I2C 状态寄存器	D9H	STA.4	STA.3	STA.2	STA.1	STA.0	0	0	0	F8 11111000
ICRAH	输入捕获 A 高字节	ABH									00 00000000

续表 4

名称	定义	地址	位功能和位地址 MSB LSB								复位值 Hex Binary
		位地址	DF	DE	DD	DC	DB	DA	D9	D8	
ICRAL	输入捕获 A 低字节	AAH									00 00000000
ICRBH	输入捕获 B 高字节	AFH									00 00000000
ICRBL	输入捕获 B 低字节	AEH									00 00000000
		位地址	AF	AE	AD	AC	AB	AA	A9	A8	
IEN0*	中断使能 0	A8H	EA	EWDRT	EBO	ES/ESR	ET1	EX1	ET0	EX0	00 00000000
		位地址	EF	EE	ED	EC	EB	EA	E9	E8	
IEN1*	中断使能 1	E8H	EIEE	EST	-	ECCU	ESPI	EC	EKBI	EI2C	00[2] 00x00000
		位地址	EF	EE	ED	EC	EB	EA	E9	E8	
IEN2	中断使能 2	D5H	-	-	-	-	-	-	EADC	-	00[2] 00x00000
		位地址	BF	BE	BD	BC	BB	BA	B9	B8	
IP0*	中断优先级 0	B8H	-	PWDRT	PBO	PS/PSR	PT1	PX1	PT0	PX0	00[2] x0000000
IP0H	中断优先级 0 高字节	B7H	-	PWDRTH	PBOH	PSH/PSRH	PT1H	PX1H	PT0H	PX0H	00[2] x0000000
		位地址	FF	FE	FD	FC	FB	FA	F9	F8	
IP1*	中断优先级 1	F8H	PADEE	PST	-	PCCU	PSPI	PC	PKBI	PI2C	00[2] 00x00000
IP1H	中断优先级 1 高字节	F7H	PADEEH	PSTH	-	PCCUH	PSPIH	PCH	PKBIH	PI2CH	00[2] 00x00000
IP2	中断优先级 2	D6H	-	-	-	-	-	-	PADC	-	00[2] 00x00000
IP2H	中断优先级 2 高字节	D7H	-	-	-	-	-	-	PADCH	-	00[2] 00x00000
KBCON	键盘控制寄存器	94H	-	-	-	-	-	-	PATN_SEL	KBIF	00[2] xxxxxx00
KBMASK	键盘中断屏蔽寄存器	86H									00 00000000
KBPATN	键盘模式										FF 11111111
OCRAH	输出比较 A 高字节	EFH									00 00000000
OCRAL	输出比较 A 低字节	EEH									00 00000000
OCRBH	输出比较 B 高字节	FBH									00 00000000

续表 4

名称	定义	地址	位功能和位地址 MSB LSB								复位值 Hex Binary
		位地址	FF	FE	FD	FC	FB	FA	F9	F8	
OCRBL	输出比较 B 低字节	FAH									00 00000000
OCRCH	输出比较 C 高字节	FDH									00 00000000
OCRCL	输出比较 C 低字节	FCH									00 00000000
OCRDH	输出比较 D 高字节	FFH									00 00000000
OCRDL	输出比较 D 低字节	FEH									00 00000000
		位地址	87	86	85	84	83	82	81	80	
P0*	P0 口	80H	T1/KB7	CMP1/KB6	CMPREF/KB5	CIN1A/KB4	CIN1B/KB3	CIN2A/KB2	CIN2B/KB1	CMP2/KB0	[2]
		位地址	97	96	95	94	93	92	91	90	
P1*	P1 口	90H	OCC	OCB	$\overline{RST}$	$\overline{INT1}$	$\overline{INT0}$ /SDA	T0/SCL	RxD	TxD	[2]
		位地址	97	96	95	94	93	92	91	90	
P2*	P2 口	A0H	ICA	OCA	SPICLK	$\overline{SS}$	MISO	MOSI	OCD	ICB	[2]
		位地址	B7	B6	B5	B4	B3	B2	B1	B0	
P3*	P3 口	B0H	-	-	-	-	-	-	XTAL1	XTAL2	[2]
P0M1	P0 口输出模式选择 1	84H	P0M1.7	P0M1.6	P0M1.5	P0M1.4	P0M1.3	P0M1.2	P0M1.1	P0M1.0	FF[2] 11111111
P0M2	P0 口输出模式选择 2	85H	P0M2.7	P0M2.6	P0M2.5	P0M2.4	P0M2.3	P0M2.2	P0M2.1	P0M2.0	00[2] 00000000
P1M1	P1 口输出模式选择 1	91H	P1M1.7	P1M1.6	-	P1M1.4	P1M1.3	P1M1.2	P1M1.1	P1M1.0	D3[2] 11x1xx11
P1M2	P1 口输出模式选择 2	92H	P1M2.7	P1M2.6	-	P1M2.4	P1M2.3	P1M2.2	P1M2.1	P1M2.0	00[2] 00x0xx00
P2M1	P2 口输出模式选择 1	A4H	P2M1.7	P2M1.6	P2M1.5	P2M1.4	P2M1.3	P2M1.2	P2M1.1	P2M1.0	FF[2] 11111111
P2M2	P2 口输出模式选择 2	A5H	P2M2.7	P2M2.6	P2M2.5	P2M2.4	P2M2.3	P2M2.2	P2M2.1	P2M2.0	00[2] 00000000
P3M1	P3 口输出模式选择 1	B1H	-	-	-	-	-	-	P3M1.1	P3M1.0	03[2] xxxxxx11
P3M2	P3 口输出模式选择 2	B2H	-	-	-	-	-	-	P3M2.1	P3M2.0	00[2] xxxxxx00

续表 4

名称	定义	地址	位功能和位地址 MSB LSB								复位值 Hex Binary
		位地址	B7	B6	B5	B4	B3	B2	B1	B0	
PCON	电源控制寄存器	87H	SMOD1	SMOD0	BOPD	BOI	GF1	GF0	PMOD1	PMOD0	00 00000000
PCONA	电源控制寄存器 A	B5H	RTCPD	DEEPD	VCPD	ADPD	I2PD	SPPD	SPD	CCUPD	00[2] 00000000
		位地址	D7	D6	D5	D4	D3	D2	D1	D0	
PSW*	程序状态字	D0H	CY	AC	F0	RS1	RS0	OV	F1	P	00 00000000
PT0AD	0 口数字输入禁能	F6H	-	-	PT0AD.5	PT0AD.4	PT0AD.3	PT0AD.2	PT0AD.1	-	00 xx00000x
RSTSRC	复位源寄存器	DFH	-	-	BOF	POF	R_BK	R_WD	R_SF	R_EX	[3]
RTCCON	RTC 控制	D1H	RTCF	RTCS1	RTCS0	-	-	-	ERTC	RTCEN	$60^{[2][4]}$011xxx00
RTCH	RTC 寄存器高字节	D2H									00[4] 00000000
RTCL	RTC 寄存器低字节	D3H									00[4] 00000000
SADDR	串口地址寄存器	A9H									00 00000000
SADEN	串口地址使能	B9H									00 00000000
SBUF	串口数据缓冲区寄存器	99H									xx xxxxxxxx
		位地址	9F	9E	9D	9C	9B	9A	99	98	
SCON*	串行口控制	98H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	00 00000000
SSTAT	串行口扩展状态寄存器	BAH	DBMOD	INTLO	CIDIS	DBISEL	FE	BR	OE	STINT	00 00000000
		位地址	9F	9E	9D	9C	9B	9A	99	98	
SP	堆栈指针	81H									07 00000111
SPCTL	SPI 控制寄存器	E2H	SSIG	SPEN	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	04 00000100
SPSTAT	SPI 状态寄存器	E1H	SPIF	WCOL	-	-	-	-	-	-	00 00xxxxxx
SPDAT	SPI 数据寄存器	E3H									00 00000000
TAMOD	定时器 0/1 附加模式	8FH	-	-	-	T1M2	-	-	-	T0M2	00 xxx0xxx0

续表 4

名称	定义	地址	位功能和位地址 MSB LSB								复位值 Hex Binary
		位地址	8F	8E	8D	8C	8B	8A	89	88	
TCON*	定时器 0/1 控制	88H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00 00000000
TCR20*	CCU 控制寄存器 0	C8H	PLEEN	HLTRN	HLTEN	ALTCD	ALTAB	TDIR2	TMOD21	TMOD20	00 00000000
TCR21	CCU 控制寄存器 1	F9H	TCOU2	-	-	-	PLLDV.3	PLLDV.2	PLLDV.1	PLLDV.0	00 0xxx0000
TH0	定时器 0 高字节	8CH									00 00000000
TH1	定时器 1 高字节	8DH									00 00000000
TH2	CCU 定时器高字节	CDH									00 00000000
TICR2	CCU 中断控制寄存器	C9H	TOIE2	TOCIE2D	TOCIE2C	TOCIE2B	TOCIE2A	-	TICIE2B	TICIE2A	00 00000x00
TIFR2	CCU 中断标志寄存器	E9H	TOIF2	TOCF2D	TOCF2C	TOCF2B	TOCF2A	-	TICF2B	TICF2A	00 00000x00
TISE2	CCU 中断状态编码寄存器	DEH	-	-	-	-	-	ENCINT.2	ENCINT.1	ENCINT.0	00 xxxxx000
TL0	定时器 0 低字节	8AH									00 00000000
TL1	定时器 1 低字节	8BH									00 00000000
TL2	CCU 定时器低字节	CCH									00 00000000
TMOD	定时器 0/1 工作模式	89H	T1GATE	TIC/T	T1M1	T1M0	T0GATE	T0C/T	T0M1	T0M0	00 00000000
TOR2H	CCU 重装高字节	CFH									00 00000000
TOR2L	CCU 重装低字节	CEH									00 00000000
		位地址	8F	8E	8D	8C	8B	8A	89	88	
TPCR2H	预分频器控制高字节	CBH	-	-	-	-	-	-	TPCR2H.1	TPCR2H.0	00 xxxxxx00
TPCR2L	预分频器控制低字节	CAH	TPCR2L.7	TPCR2L.6	TPCR2L.5	TPCR2L.4	TPCR2L.3	TPCR2L.2	TPCR2L.1	TPCR2L.0	00 00000000
TRIM	内部振荡调整寄存器	96H	RCCLK	ENCLK	TRIM.5	TRIM.4	TRIM.3	TRIM.2	TRIM.1	TRIM.0	[5] [4]

续表 4

名称	定义	地址	位功能和位地址 MSB LSB								复位值 Hex Binary
		位地址	8F	8E	8D	8C	8B	8A	89	88	
WDCON	看门狗控制寄存器	A7H	PRE2	PRE1	PRE0	-	-	WDRUN	WDTOF	WDCLK	[6][4]
WDL	看门狗装载	C1H									FF 11111111
WFEED1	看门狗清零 1	C2H									
WFEED2	看门狗清零 2	C3H									

注：

[1] 只有当 BRGCON SFR 中的 BRGEN 为 0 时，才可对 BRGR1 和 BRGR0 进行写操作。当 BRGEN=1 时，写入其中任意一个，结果将是不可预知的。

[2] 上电复位后所有的 I/O 口都处于仅为输入(高阻)状态。

[3] RSTSRC 寄存器反映 UM10119 复位的原因。在上电复位时，所有复位源标志都清零(POF 和 BOF 除外)。上电复位值为 xx110000。

[4] 上电复位是唯一影响这些特殊功能寄存器的复位。

[5] 上电复位时，TRIM 寄存器初始化为出厂时的配置。其它复位不会使 TRIM 寄存器初始化。

[6] 复位后 WDCON 的值为 111001x1，即 PRE2-PRE0 全 1，WDRUN=1，WDCLK=1。看门狗复位后，WDTOF=1; 上电复位后，WDTOF=0。其它复位不会影响 WDTOF。

表 5 P89LPC938 扩展的特殊功能寄存器

名称	描述	SFR 地址	位功能和地址 MSB LSB	复位值 Hex	Binary
ADC0HBND	ADC0 高边界寄存器，左(MSB)	FFEFh		FF	11111111
ADC0LBND	ADC0 低边界寄存器，(MSB)	FFEEh		00	00000000
AD0DAT0R	ADC0 数据寄存器 0，右(LSB)	FFFEh	AD0DAT0[7:0]	00	00000000
AD0DAT0L	ADC0 数据寄存器 0，左(MSB)	FFFFh	AD0DAT0[9:2]	00	00000000
AD0DAT1R	ADC0 数据寄存器 1，右(LSB)	FFFCh	AD0DAT1[7:0]	00	00000000
AD0DAT1L	ADC0 数据寄存器 1，左(MSB)	FFFDh	AD0DAT1[9:2]	00	00000000
AD0DAT2R	ADC0 数据寄存器 2，右(LSB)	FFFAh	AD0DAT2[7:0]	00	00000000
AD0DAT2L	ADC0 数据寄存器 2，左(MSB)	FFFBh	AD0DAT2[9:2]	00	00000000
AD0DAT3R	ADC0 数据寄存器 3，右(LSB)	FFF8h	AD0DAT3[7:0]	00	00000000
AD0DAT3L	ADC0 数据寄存器 3，左(MSB)	FFF9h	AD0DAT3[9:2]	00	00000000
AD0DAT4R	ADC0 数据寄存器 4，右(LSB)	FFF6h	AD0DAT4[7:0]	00	00000000
AD0DAT4L	ADC0 数据寄存器 4，左(MSB)	FFF7h	AD0DAT4[9:2]	00	00000000
AD0DAT5R	ADC0 数据寄存器 5，右(LSB)	FFF4h	AD0DAT5[7:0]	00	00000000
AD0DAT5L	ADC0 数据寄存器 5，左(MSB)	FFF5h	AD0DAT5[9:2]	00	00000000
AD0DAT6R	ADC0 数据寄存器 6，右(LSB)	FFF2h	AD0DAT6[7:0]	00	00000000
AD0DAT6L	ADC0 数据寄存器 6，左(MSB)	FFF3h	AD0DAT6[9:2]	00	00000000
AD0DAT7R	ADC0 数据寄存器 7，右(LSB)	FFF0h	AD0DAT7[7:0]		
AD0DAT7L	ADC0 数据寄存器 7，左(MSB)	FFF1h	AD0DAT7[9:2]		
BNDSTA0	ADC0 边界状态寄存器	FFEDh			

7.2 增强型 CPU

P89LPC938 采用增强型 80C51 CPU，其运行速度是标准 80C51 的 6 倍。一个机器周期由 2 个 CPU 时钟周期组成，大多数指令执行时间为 1 到 2 个机器周期。

7.3 时钟

7.3.1 时钟定义

LPC938 的几个内部时钟定义如下：

OSCCLK－输入到 DIVM 分频器的时钟。OSCCLK 可选择 4 个时钟源之一（见图 6），也可选择通过分频得到更低的频率（见 7.8 节“CCLK 修改：DIVM 寄存器”）。

注：fosc 定义为 OSCCLK 频率

CCLK－CPU 时钟；DIVM 时钟分频器的输出。每个机器周期包含 2 个 CCLK 周期，大多数指令执行时间为 1 到 2 个机器周期（2 到 4 个 CCLK 周期）。

RCCLK－内部 7.373MHz RC 振荡器输出。

PCLK－用于不同外围设备的时钟，为 CCLK/2。

7.3.2 CPU 时钟（OSCCLK）

LPC938 提供几个可由用户选择的振荡器选项来产生 CPU 时钟。这样就满足了从高精度到低成本的不同需求。这些选项在对 Flash 进行编程时配置，包括片内看门狗振荡器、片内 RC 振荡器、使用外部晶振的振荡器或外部时钟源。晶振可选择低、中或高频晶振，频率范围为 20kHz 到 18MHz。

7.3.3 低频振荡器选项

此选项支持 20kHz～100kHz 的外部晶振，同时也支持陶瓷谐振器。

7.3.4 中频振荡器选项

此选项支持 100kHz～4MHz 的外部晶振，同时也支持陶瓷谐振器。

7.3.5 高频振荡器选项

此选项支持 4MHz～18MHz 外部晶振，同时也支持陶瓷谐振器。

7.3.6 时钟输出

P89LPC938 支持可用户选择的时钟输出功能。如果不使用晶振，可从 XTAL2/CLKOUT 输出时钟。实现该功能的前提是已选择另外的时钟源（片内 RC 振荡器、看门狗振荡器或 X1 脚输入的外部时钟）并且未使用晶振作为实时时钟的时钟源。这样可使外部器件与 P89LPC938 同步。时钟输出的使能通过置位 TRIM 寄存器中的 ENCLK 位实现。

该时钟输出的频率为 CCLK/2。如果在空闲模式中不需要输出时钟，那么可在进入空闲模式之前将该功能关闭以降低功耗。

7.4 片内 RC 振荡器选项

LPC938 具有一个 6 位的 TRIM 寄存器，可对 RC 振荡器的频率进行调整。在复位时，TRIM 的值初始化为出厂时预编程值以将振荡器频率调整为 7.373 MHz，室温下为±1%。结束用户程序可通过写 TRIM 寄存器，将片内 RC 振荡器调整为其它频率。

7.5 看门狗振荡器选项

看门狗具有一个独立的振荡器，其频率为 400 KHz。在不需要使用高频振荡器时，可使用该振荡器降低功耗。

7.6 外部时钟输入选项

在此配置中，提供 CPU 时钟的外部时钟源从 XTAL1/P3.1 脚输入。频率可从 0 Hz～18 MHz。XTAL2/P3.0 脚可作为标准 I/O 口或者时钟输出。**当使用频率高于 12MHz 的振荡器时，必须使能 P1.5 的复位输入功能。上电时，需要一个外部电路使器件保持复位状态，直至 VDD 到达指定的电平。当系统电源被移走时，VDD 将降至低于指定的最低工作电压。在某些使用频率高于 12MHz 的振荡器的应用中，当 VDD 降至低于指定的最低工作电压时，需要一个外部掉电检测电路使器件保持复位状态。**

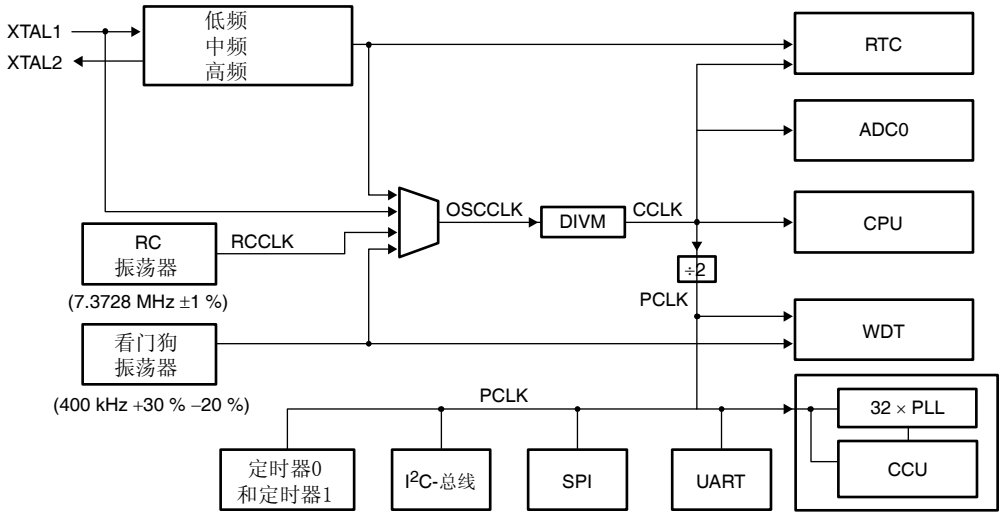


图 6 振荡器控制的方框图

7.7 CCLK 唤醒延迟

P89LPC938 具有一个内部唤醒定时器，可使时钟延迟直到稳定下来，其延迟时间取决于使用的时钟源。如果时钟源为 3 个晶振选项中的任意一个（低、中或高频），延迟时间为 992 个 OSCCLK 周期加上 60~100μs。如果时钟源为内部 RC 振荡器，看门狗振荡器或外部时钟，延迟时间为 224 个 OSCCLK 周期加上 60~100μs。

7.8 CCLK 修改：DIVM 寄存器

OSCCLK 频率可通过整数倒分频，通过配置分频寄存器 DIVM 进行高达 510 分频来提供 CCLK。该特性可用于暂时使 CPU 以较低频率工作以降低功耗。通过分频，程序以较低速度运行时，使 CPU 仍保持对事件响应的能力，而不只是对能产生中断的事件（能使 CPU 从空闲模式退出）才响应。这常常会得到比空闲模式更低的功耗，与掉电模式相比则少了振荡器起振时间。在程序内 DIVM 的值可随时改变而无需中断程序运行。

7.9 低功耗选择

LPC938 设计的最大工作频率为 12MHz(CCLK)。但是如果 CCLK 为 8MHz 或更低，则可置位 CLKLP SFR 位（AUXR1.7）以降低功耗。在任何一次复位后，CLKLP 都为 0 以允许实现最高性能。如果 CCLK 运行在 8MHz 或更低的频率时，该位可以通过软件置位。

7.10 存储器结构

P89LPC938 的不同存储空间如下所示：

- DATA

  128 字节内部数据存储空间（00h:7Fh）。可使用除 MOVX 和 MOVC 之外的指令直接或间接寻址。此空间可作为全部或部分堆栈空间。

- IDATA

  间接数据。256 字节内部数据存储空间（00h:FFh）。可使用除 MOVX 和 MOVC 之外的指令进行间接寻址。全部或部分堆栈位于此空间。该区域包括了 DATA 区域和其之上的 128 字节间接 RAM。

- SFR

  特殊功能寄存器。选择的 CPU 寄存器和外设控制及状态控制寄存器只能通过直接寻址访问。

- XDATA

  ‘外部’数据或附加 RAM。与标准 80C51 64kB 存储空间完全相同。通过 MOVX 指令使用 DPTR,R0 或 R1 寻址。该空间的全部或部分可在片内实现。P89LPC938 集成了 512 字节片内 XDATA 存储器，加上位于 XDATA 中的扩展 SFR。

- CODE

  64K 字节代码存储空间。作为程序执行部分和通过 MOVC 指令访问。P89LPC938 有 8K 字节片内代码存储器。

P89LPC938 还具有 512 字节片内数据 EEPROM 存储器，通过 SFR 进行访问（详见 7.27 节“数据 EEPROM”）。

7.11 数据 RAM 分配

768 字节片内 RAM 分配如下表 6 所示：

表 6 片内数据 RAM

类型	数据 RAM	规格（字节）
DATA	可直接或间接寻址	128
IDATA	可间接寻址	256
XDATA	附加（‘外部数据’）的片内存储器，使用 MOVX 指令进行访问。	512

7.12 中断

P89LPC938 采用 4 中断优先级结构。这为 P89LPC938 的多中断源的处理提供了极大的灵活性。P89LPC938 支持 15 个中断源：外部中断 0 和 1、定时器 0 和 1、串口 Tx、串口 Rx、组合的串口 Tx/Rx、掉电检测、看门狗/实时时钟、I2C、键盘中断、比较器 1 和 2、SPI、CCU 和数据 EEPROM 写/ADC 完成。

任何一个中断源均可通过对寄存器 IEN0 和 IEN1 中相应的位置位或清零，实现单独使能或禁能。IEN0 中还包含了一个全局禁能位 EA，它可禁止所有的中断。

每个中断源都可被单独设置为 4 个中断优先级之一，分别通过清零或置位 IP0，IP0H，IP1，IP1H 中相应位来实现。一个中断服务程序可响应更高级的中断，但不能响应同优先级或低级的另一个中断。最高级中断服务程序不响应其它任何中断。如果 2 个不同中断优先级的中断源同时申请中断时，响应较高优先级的中断申请。

如果 2 个同优先级的中断源在指令周期开始同时申请中断，那么一个内部查询序列确定首先响应哪一个中断请求，这叫做仲裁队列。注：仲裁队列只用来处理相同优先级别中断源同时申请中断的情况。

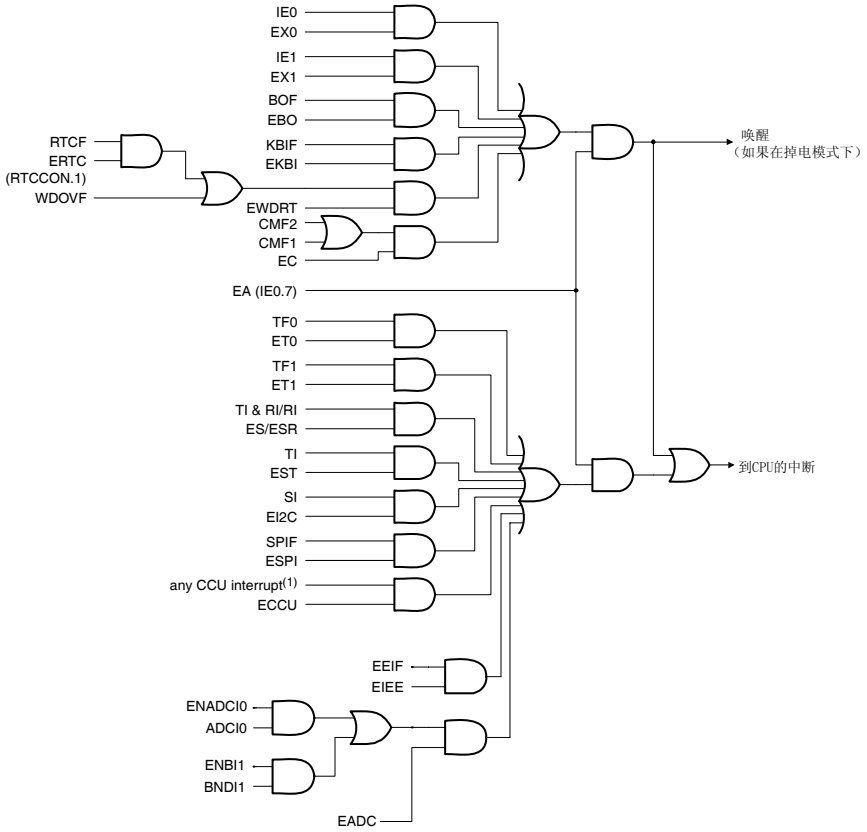
7.12.1 外部中断输入

P89LPC938 有 2 个独立的外部中断输入以及键盘中断功能。这两个外部中断输入和标准 80C51 微控制器相同。

通过清零或置位 TCON 寄存器中的 IT1 或 IT0，可将外部中断设为电平触发或边沿触发。

边沿触发模式中，对 $\overline{\text{INTn}}$ 脚连续采样，如果在一个周期为高电平而下一个周期为低电平时，TCON 的中断请求标志 IEn 将置位，产生一个中断请求。

如果 P89LPC938 处于掉电或空闲状态时外部中断使能，中断将唤醒处理器使其恢复运行。详见 7.15 节“节电模式”。



(1)见 7.19 节“CCU”。

图 7　中断源，中断使能，掉电唤醒中断源

7.13 I/O 口

P89LPC938 有 4 个 I/O 口，P0、P1、P2 和 P3。P0、P1 和 P2 为 8 位 I/O 口而 P3 为 2 位 I/O 口。I/O 口的具体数目取决于所选择的时钟和复位方式，如表 7 所示。

表 7　可用的 I/O 口数目

时钟源	复位选项	I/O 口数目
		28 脚封装
片内振荡器或 看门狗振荡器	无外部复位（上电时除外）	26
	使用外部复位脚 $\overline{\text{RST}}$	25
外部时钟输入	无外部复位（上电时除外）	25
	使用外部复位脚 $\overline{\text{RST}}$ [1]	24
低/中/高速振荡器 （外部晶振或谐振器）	无外部复位（上电时除外）	24
	使用外部复位脚 $\overline{\text{RST}}$ [1]	23

[1] 要求工作在 12MHz 以上。

7.13.1 I/O 口配置

除了 3 个口以外，P89LPC938 其他所有的 I/O 口均可由软件配置成 4 种输出类型之一。四种输出类型分别为：准双向口(标准 8051 输出模式)，推挽，开漏输出或仅为输入。每个口配置 2 个控制寄存器控制每个管脚输出类型。

1. P1.5 ($\overline{RST}$) 只能作为输入口，无法进行配置。
2. P1.2 (SCL/T0) 和 P1.3(SDA/ $\overline{INT0}$)只能配置为输入口或开漏口。

7.13.1.1 准双向口输出配置

准双向口输出类型可用作输出和输入功能而不需重新配置口线输出状态。这是因为当口线输出为 1 时驱动能力很弱，允许外部装置将其拉低。当管脚输出为低时，它的驱动能力很强，可吸收相当大的电流。准双向口除了有三个上拉晶体管适应不同的需要外，其特性和开漏输出有些相似。

P89LPC938 为 3V 器件，但管脚可承受 5V 电压。在准双向口模式中，如果用户在管脚加上 5V 电压，将会有电流从管脚流向 VDD，这将导致额外的功率消耗。因此，建议不要在准双向口模式中向管脚施加 5V 电压。

准双向口带有一个施密特触发输入以及一个干扰抑制电路。

7.13.1.2 开漏输出配置

当口线锁存器为‘0’时，开漏输出关闭所有的上拉晶体管并仅驱动端口驱动器的下拉晶体管。作为一个逻辑输出时，这种配置方式必须有外部上拉，一般通过电阻外接到 V_{DD}。

开漏端口带有一个施密特触发输入以及一个干扰抑制电路。

7.13.1.3 仅为输入配置

该配置无输出驱动器。它带有一个施密特触发输入口以及一个干扰抑制电路。

7.13.1.4 推挽输出配置

推挽输出配置的下拉结构和开漏输出以及准双向口的下拉结构相同，但当锁存器为‘1’时提供持续的强上拉。推挽模式一般用于需要更大驱动电流的情况。推挽管脚带有一个施密特触发输入以及一个干扰抑制电路。

7.13.2 P0 口模拟功能

P89LPC938 集成了两个模拟比较器。为了得到最佳的模拟性能并降低功耗，用于模拟功能的管脚必须禁止数字输入和输出功能。

将端口设置成仅为输入（高阻抗）时禁止数字信号输出。

P0 口的数字输入可通过 PT0AD 寄存器的位 1:5 来禁能。复位后，PT0AD[1:5]默认为 0 以使能数字功能。

7.13.3 附加端口特性

上电后所有的管脚都为仅为输入模式。**请注意此配置不同于 LPC76x 系列的器件**。

- 上电之后，除 P1.5 之外，所有口都可由软件进行配置。
- P1.5 只可用于输入功能。P1.2 和 P1.3 可配置为仅为输入或开漏。

每个 P89LPC938 输出口都可提供灌电流驱动 LED。但是所有口的输出电流总和不能超过规定的最大电流。请参考表 10“DC 特性”得到详细的规格。

P89LPC938 所有端口的电平转换速度都可以控制，这就可避免因电平转换过快而导致的噪声。转换速度在出厂时设定为大约 10ns 的上升时间和下降时间。

7.14 电源监控功能

P89LPC938 内含电源监控功能用于防止初始上电及掉电时的错误操作。这是通过两个硬件功能完成的：上电检测及掉电检测（Brownout Detect）。

7.14.1 掉电检测

掉电检测功能可用于检测电源电压是否降至某一特定值以下。掉电检测的默认操作是使处理器复位。但也可通过配置产生一个中断。

掉电检测可通过软件来使能或禁能。

如果掉电检测使能，当 VDD 低于掉电电压 VBO（见表 10“DC 特性”）时产生掉电条件，并在 VDD 上升超过 VBO 时取消。如果 P89LPC938 器件的电源电压可以低于 2.7，BOE 应当保持未编程状态，这样器件可在 2.4V 时工作。否则持续的掉电复位将使器件无法工作。

若要正确检测到掉电，VDD 上升和下降速度必须符合一定规格。请参阅该数据手册中的表 10“DC 电气特性”。

7.14.2 上电检测

上电检测功能类似于掉电检测，但设计成在电源初始上电后，上升到掉电检测门槛电平之前工作。当检测到初始上电时，RSTSRC 寄存器的 POF 标志置位。POF 将会一直保持置位状态，直到通过软件将其清零。

7.15 节电模式

P89LPC938 支持 3 种不同的节电模式，分别为空闲模式、掉电模式和完全掉电模式。

7.15.1 空闲模式

空闲模式下片内外围功能继续工作，允许其在产生中断时激活处理器。任何一个使能的中断或复位均可结束空闲模式。

7.15.2 掉电模式

掉电模式将振荡器停振以使功耗最小。任何的复位和中断都可使 P89LPC938 退出掉电模式。在掉电模式中，电源电压可以降低到数据保持电压 VDDR。这样将 RAM 内容保存为进入掉电模式时的状态。SFR 内容在 VDD 低于 VDDR 时不受保护。因此这种情况下建议通过复位唤醒处理器。在退出掉电模式前 VDD 必须上升到操作电压范围之内。

在掉电模式中某些功能继续工作并消耗电流。这样就增加了掉电时的整体功耗。这些功能包括：掉电检测、看门狗定时器、比较器（注：比较器可单独实现掉电）、实时时钟（RTC）/系统定时器。内部 RC 振荡器被禁止，除非选择 RC 振荡器作为系统时钟并使能 RTC。

7.15.3 完全掉电模式

完全掉电模式和掉电模式的区别在于：完全掉电模式下掉电检测电路和电压比较器都被关闭以节省功耗。内部 RC 振荡器被禁止，除非选择 RC 振荡器作为系统时钟并使能 RTC。在掉电模式下使用内部 RC 振荡器作为 RTC 时钟源会增加相当大的功耗。当实时时钟在掉电模式下运行时，使用外部低频时钟可实现较低的功耗。

7.16 复位

P1.5/$\overline{RST}$ 管脚可作为低有效复位输入或数字输入口，P1.5。当 UCFG1 寄存器中的位 RPE(复位管脚使能)置位时，使能 P1.5 的外部复位输入功能。当清零时，P1.5 可作为一个输入管脚。

注：在上电过程中，RPE 选择无效，该管脚总是作为外部复位输入。**连接到该管脚的外部电路不应将其拉低，否则将使器件一直处于复位状态。**在上电完成之后，该管脚可根据 RPE 位的状态作为外部复位输入或数字输入口。只有上电复位会暂时使 RPE 的设定失效，其它复位源无法影响 RPE 位的设定。

复位可由下列复位源引起：

- 外部复位管脚（上电或通过 UCFG1 配置为使用外部复位）
- 上电检测
- 掉电检测
- 看门狗定时器
- 软件复位
- UART 间隔字符检测复位

每一个复位源在复位寄存器 RSTSRC 中都有一个对应的标志。用户可读取该寄存器以判断最近的复位源是哪一个。这些标志位可通过软件写入“0”清零。可以有多于一个的标志位置位：

- 上电复位时，POF 和 BOF 都置位，而其它标志位清零
- 对于其它的复位，之前置位的标志位不会受到影响

7.16.1 复位向量

在复位之后，P89LPC938 将从地址 0000h 或引导（Boot）地址处取指令。将引导向量作为地址高字节，00h 作为地址低字节即构成了引导地址。

在发生 UART 间隔复位或非易失性引导状态位（BOOTSTAT.0）=1，或器件被强制进入 ISP 模式时（见 P89LPC938 使用指南），将会使用引导向量作为复位向量。否则，指令将从地址 0000h 处开始执行。

7.17 定时器 / 计数器 0 和 1

P89LPC938 有两个通用定时/计数器，与标准 80C51 定时器 0 及定时器 1 兼容。两者均可配置为定时器或事件计数器。另外增加了定时器溢出时 T0/T1 脚自动翻转的功能选项。

用作“定时器”功能时，每经过一个机器周期，寄存器值加 1。

用作“计数器”功能时，寄存器在对应的外部输入管脚 T0/T1 的每一个下降沿加 1。使

用该功能时，外部输入每个机器周期被采样一次。

定时器 0 及定时器 1 有 5 种工作模式（模式 0, 1, 2, 3 和 6）。模式 0、1、2 和 6 对于两个定时/计数器是一样的。模式 3 则不同。

7.17.1 模式 0

将定时器设置成模式 0 时类似 8048 定时器，即带 32 分频-预分频器的 8 位计数器。在此模式中，定时器寄存器配置为 13 位寄存器。定时器 0 及定时器 1 在模式 0 中的操作相同。

7.17.2 模式 1

模式 1 除了使用的是 16 位的定时器寄存器外，其它与模式 0 相同。

7.17.3 模式 2

在此模式中，定时器寄存器作为可自动重装的 8 位计数器。定时器 0 及定时器 1 在模式 2 中的操作相同。

7.17.4 模式 3

在模式 3 中定时器 1 停止工作。在此模式中，定时器 0 用作两个独立的 8 位计数器。模式 3 用于需要一个额外的 8 位定时器的场合。当定时器 1 处于模式 3 时，它可用作串行口的波特率发生器。

7.17.5 模式 6

在该模式中，定时器可以改变为一个具有 256 个定时器时钟周期的 PWM。

7.17.6 定时器溢出触发输出

定时器 0 和 1 可配置为发生定时器溢出时自动触发端口输出。T0/T1 的计数输入和定时器触发输出占用相同的管脚。打开该模式后，在首次定时器溢出之前端口的输出为逻辑 1。

7.18 RTC/系统定时器

P89LPC938 具有一个简单的实时时钟。它允许用户在器件其它部分掉电时能够继续运行一个精确的定时器。实时时钟可以作为一个中断或一个唤醒源。实时时钟是一个 23 位倒计数器，由 7 位的预分频器和 16 位的可装载倒计数器组成。当计数值变为 0 时，计数器重装，设置 RTCF 标志。该计数器的时钟源可以是 CPU 时钟（CCLK）或者 XTAL 振荡器（前提是 XTAL 振荡器不作为 CPU 的时钟源）。如果 XTAL 振荡器作为 CPU 时钟源，实时时钟（RTC）将使用 CCLK 作为它的时钟源。只有上电复位才能将实时时钟及其相关的寄存器复位为默认状态。

7.19 捕获/比较单元（CCU）

该单元有以下特性：

- 16 位定时器，并可在溢出时重装 16 位值
- 时钟可选，可将时钟源以 1 到 1024 间的任何整数进行分频。
- 4 个比较/PWM 输出，可选择极性

- 对称/非对称 PWM 选择
- 2 路捕获输入，带有事件计数器和数字噪声滤波器
- 7 个中断（1 个溢出，2 个捕获，4 个比较）使用同一个中断向量
- 通过映像寄存器可实现安全的 16 位读/写

7.19.1 CCU 时钟（CCUCLK）

CCU 的时钟为 CCUCLK。它可以是基本定时器模式中的 PCLK，或 PLL 输出。PLL 使用的时钟源为 0.5MHz 到 1MHz，32 倍频后产生 PWM 模式（不对称或对称）中的 16MHz 到 32MHz CCUCLK。PLL 包含一个 4 位分频器，将 PCLK 分频为 0.5MHz 到 1MHz。

7.19.2 CCU 时钟预分频

CCUCLK 可通过预分频器进一步分频。该预分频器是一个 10 位自由运行的计数器，在溢出时可编程重新装载。

7.19.3 基本定时器操作

该定时器是一个带方向控制的，自由运行的递增/递减计数器。如果在计数器运行时改变定时器的计数方向，计数顺序将发生翻转。该定时器在任何时候都可进行读或写。

当发生重装时，CCU 定时器溢出中断标志将置位，如果中断使能则产生中断。16 位 CCU 定时器还可作为一个 8 位递增/递减定时器。

7.19.4 输出比较

CCU 单元有 4 个输出比较通道 A,B,C 和 D。每个输出比较通道在进行操作之前都必须使能，而且用户必须将相应的 I/O 口设置为所需要的输出类型。当定时器的内容和捕获比较控制寄存器相匹配时，定时器输出比较中断标志 TOCFx 置位。如果中断已使能，则产生相应的中断。

7.19.5 输入捕获

输入捕获总是处于使能状态。每次在两个输入捕获管脚产生捕获事件时，定时器的内容都会传送到相应的 16 位输入捕获寄存器中。捕获事件可以编程为上升沿或下降沿触发。在捕获输入端可使能噪声滤波器，当输入捕获噪声滤波器位置位时，捕获逻辑需要检测到相同值的连续 4 个采样以识别捕获事件的边沿。通过一个事件计数器可以设置在延迟一定数目的捕获事件之后触发捕获。

7.19.6 PWM 操作

PWM 操作有两种主要的模式：对称和非对称。

在非对称 PWM 操作中，CCU 定时器按照递减计数模式操作，与方向控制位无关。

在对称模式中，定时器交替递增/递减计数。该模式与基本定时器操作的主要区别在于比较模块的操作。该模块在 PWM 模式中用于 PWM 波形的产生。

使用基本定时器操作时，当 PWM（比较）管脚连接到比较逻辑，它们的逻辑状态保持不变。但由于 FCO 用于保持停止的值，因此只有一个比较事件才能改变管脚的状态。

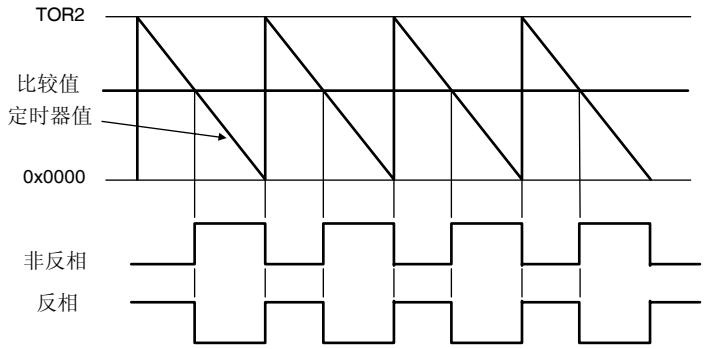


图 8　非对称 PWM，递减计数

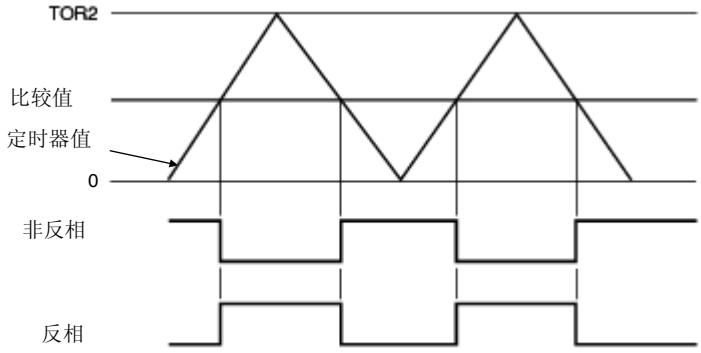


图 9　对称 PWM

7.19.7 交替输出模式

在非对称模式中，用户可以将 PWM 通道 A/B 和 C/D 编程为交替输出对用于桥驱动控制。这些 PWM 通道的输出在每个计数器周期交替选通。

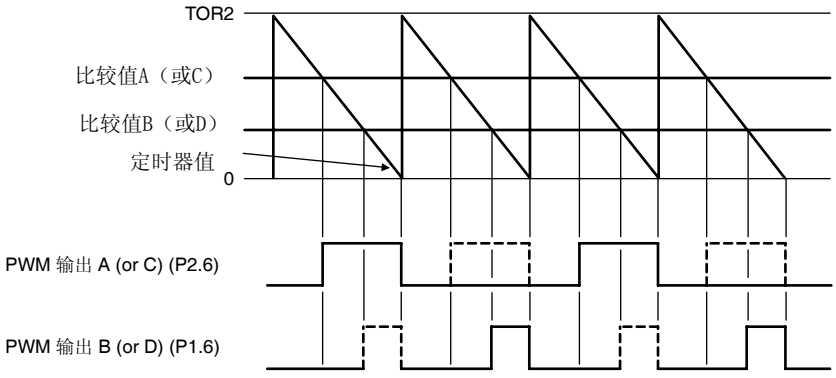


图 10　交替输出模式

7.19.8 PLL 的操作

PWM 模块还包括一个 PLL（锁相环）用于产生介于 16MHz 到 32MHz 的 CCUCLK 频率。在该频率下，PWM 模块提供超声 PWM 频率。10 位分辨率规定了晶振的频率为 1MHz 或更高。PLL 的输入信号为 0.5－1MHz，而输出信号为输入信号频率的 32 倍。该输出信号作为定时器的时钟。用户必须将 PCLK 分频，分频系数为 1-16。该分频器位于 SFR 寄存器

TCR21 中。PLL 频率可用下面的等式 1 表示：

PLL 频率＝PCLK /(N+1) (1)

此处：N 为 PLLDV3:0 的值

由于 N 的范围为 0~15，CCLK 频率的范围可以从 PCLK 到 PCLK/16。

7.19.9 CCU 中断

CCU 有 7 个中断源。它们使用同一个中断向量。

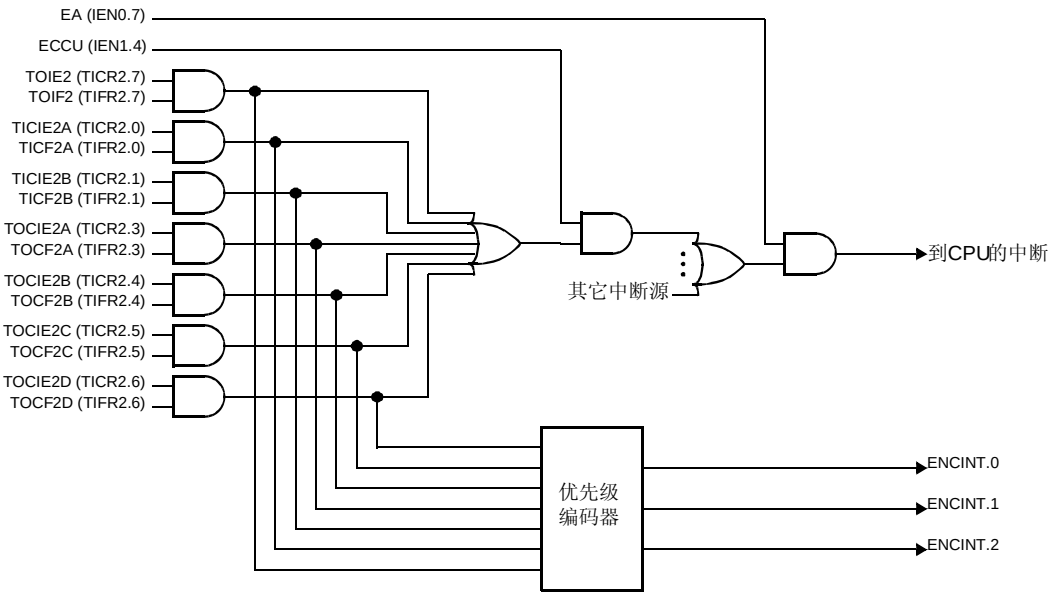


图 11 捕获/比较单元中断

7.20 UART

P89LPC938 具有一个增强型的 UART。它和传统的 80C51 UART 兼容，但有一点除外，即定时器 2 的溢出不能用于产生波特率。P89LPC938 还带有一个独立的波特率发生器。波特率可以选择由振荡器（由一个常数分频），定时器 1 溢出或者独立的波特率发生器产生。除了产生波特率以外，在标准 80C51 UART 基础上还增加了帧错误检测、自动地址识别、可选的双缓冲以及几个中断选项。UART 具有 4 种操作模式：移位寄存器、8 位 UART、9 位 UART 和 CPU 时钟/32 或 CPU 时钟/16。

7.20.1 模式 0

串行数据通过 RxD 进出。TxD 输出移位时钟。每次发送或接收都为 8 位，LSB（最低位）在前。波特率固定为 CPU 时钟频率的 1/16。

7.20.2 模式 1

TxD 脚发送，RxD 脚接收，每次数据为 10 位：1 个起始位（逻辑 0），8 个数据位（LSB 在前）以及 1 个停止位（逻辑 1）。当接收数据时，停止位保存在 SCON 中的 RB8。该模式的波特率可变，由定时器 1 溢出速率或波特率发生器决定（详见 7.20.5 节“波特率发生器及其选择”）。

7.20.3 模式 2

TxD 脚发送，RxD 脚接收，每次数据为 11 位：1 个起始位（逻辑 0），8 个数据位（LSB 在前），一个可编程第 9 位数据及 1 个停止位（逻辑 1）。发送数据时，第 9 个数据位（SCON 中的 TB8 位）可置为 0 或 1。例如可将奇偶位（PSW 内 P 位）放入 TB8。接收时，第 9 位数据存入 SCON 的 RB8 位，而停止位不会被保存。波特率可编程为 CPU 时钟频率的 1/16 或 1/32，由 PCON 内 SMOD1 位决定。

7.20.4 模式 3

TxD 脚发送，RxD 脚接收，每次数据为 11 位：1 个起始位（逻辑 0），8 个数据位（LSB 在前），1 个可编程的第 9 位数据及 1 个停止位（逻辑 1）。实际上，模式 3 除了波特率外其它均与模式 2 相同。模式 3 的波特率可变并由定时器 1 溢出率或波特率发生器决定（详见 7.20.5 节“波特率发生器及其选择”）。

7.20.5 波特率发生器及选择

P89LPC938 的增强型 UART 具有一个独立的波特率发生器。波特率取决于对 BRGR1 和 BRGR0 预先编程的值。它们组合起来作为一个 16 位的波特率分频值。这和定时器 1 的工作方式相似，但更精确。如果使用了波特率发生器，定时器 1 可用作其它的定时功能。

UART 也可使用定时器 1 或者波特率发生器的输出（见图 12）。需要注意的是，如果 SMOD1(PCON.7)清零，定时器 T1 被 2 分频。独立的波特率发生器使用 OSCCLK 作为时钟源。

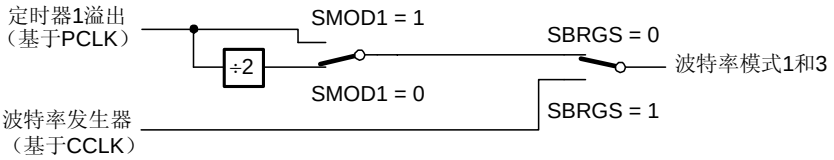


图 12 UART 波特率的产生（模式 1，3）

7.20.6 帧错误

帧错误在状态寄存器（SSTAT）中报告。此外，如果 SMOD0(PCON.6)为 1，SCON.7 单独作为帧错误位。如果 SMOD0 为 0，SCON.7 作为 SM0。建议在 SMOD0 为 0 时对 SM0 和 SM1(SCON.7-6)进行设置。

7.20.7 间隔检测

间隔检测在状态寄存器 SSTAT 中报告。当连续检测到 11 个位都为低电平位时，则认为检测到一个间隔。间隔检测可用于对器件复位并强制器件进入 ISP 模式。

7.20.8 双缓冲

UART 具有一个发送双缓冲器，这就允许第一个字符正在发送的时候向 SBUF 写入第二个字符。只要下个字符在前一个字符的起始位和停止位之间写入 SBUF，那么发送的字符串中两个字符之间就只有一个停止位。

双缓冲可以被禁止。当禁止时（DBMOD，即 SSTAT.7=0），UART 和传统的 80C51 UART 兼容。如果使能该功能，UART 允许在前一个数据移位发送的过程中向 SnBUF 写入新数据。只有在模式 1，2 和 3 中才可以使能双缓冲。当处于模式 0 时，必须禁止双缓冲（DBMOD=0）。

7.20.9 双缓冲使能时发送中断（模式 1，2 和 3）

与传统的 UART 不同的是，在双缓冲模式中，Tx 中断发生在双缓冲器准备好接收新数据的时候。

7.20.10 双缓冲中的第 9 位数据（模式 1，2 和 3）

如果双缓冲被禁止，对 TB8 的写操作可以在写入 SBUF 之前或之后进行，只要在第 9 位数据被移出之前将其更新即可。在该位移出（通过 Tx 中断指示）之前不要改变 TB8。

如果双缓冲使能，TB8 必须在写 SBUF 之前更新，因为 TB8 将和 SBUF 的数据一起双缓冲。

7.21 I²C 总线接口

I2C 总线用两条线（SDA 和 SCL）在总线和器件之间传递信息。总线的主要特性如下：

- 主机和从机之间为双向数据传送
- 多主机总线（无中央主机）
- 多主机同时传送时进行仲裁避免总线上数据冲突
- 串行时钟同步使得不同位速率的器件可以通过一条串行总线进行通信
- 串行时钟同步可作为握手机制，用于挂起和恢复串行传输
- I2C 总线可用于测试和诊断

典型的 I2CCCCc 总线配置如图 13 所示。P89LPC938 器件提供字节方式的 I2C 接口。所支持的最大数据传输速率为 400kHz。

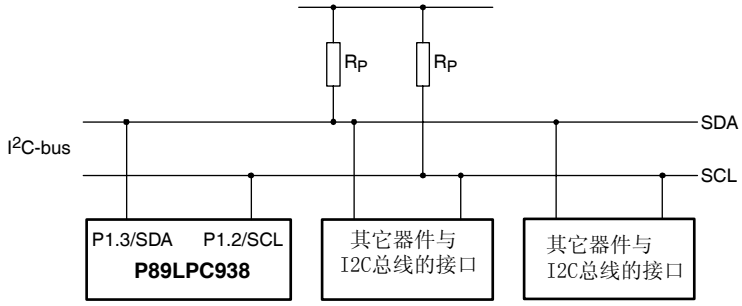


图 13 I²C 总线配置

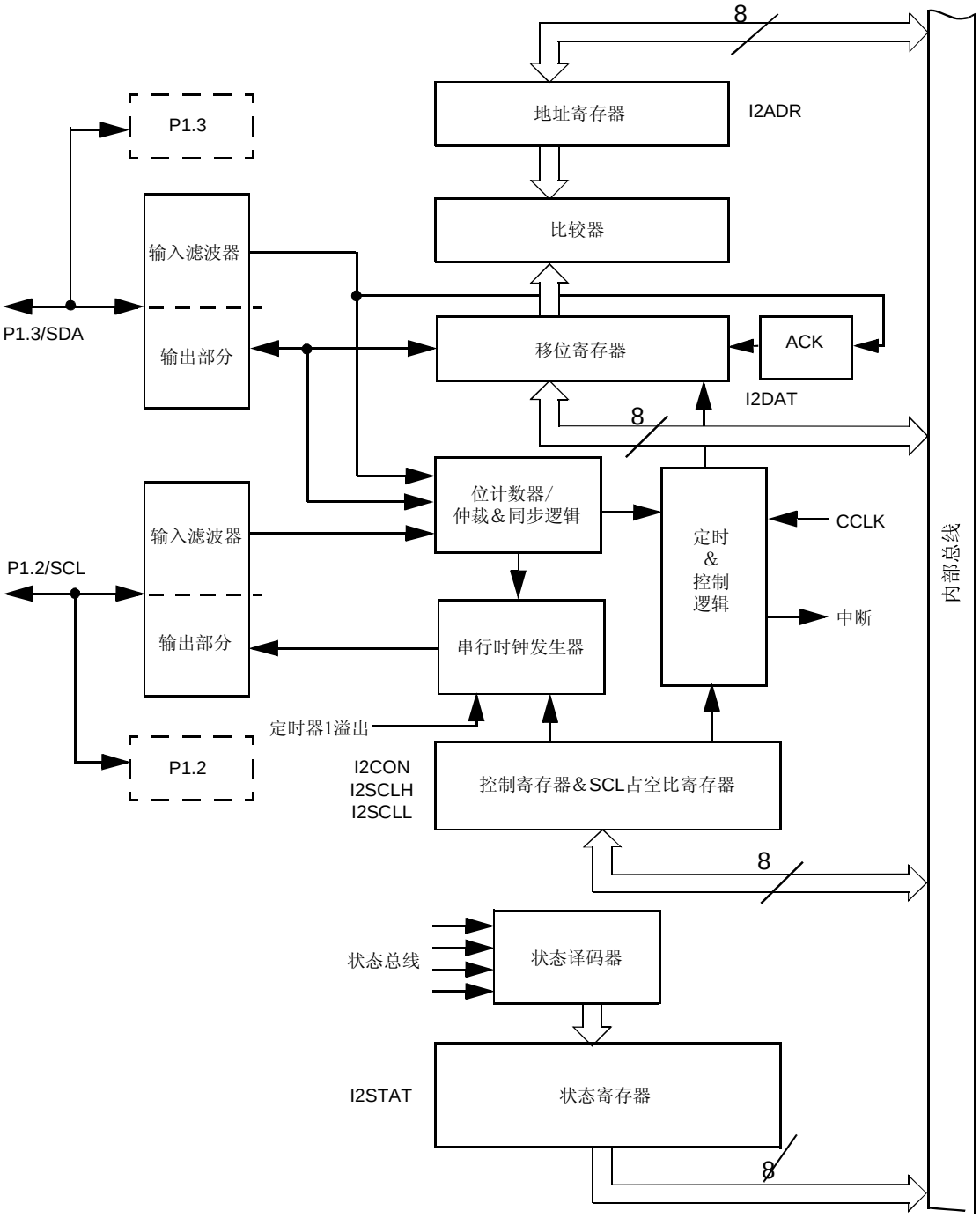


图 14 I^2C 总线串行接口框图

7.22 串行外围接口（SPI）

P89LPC938 还提供另一种高速串行通信接口——SPI 接口。SPI 是一种全双工、高速、同步的通信总线，有两种操作模式：主模式和从模式。主模式或从模式可支持高达 3Mbit/s 的速率。还具有传输完成标志和写冲突标志保护。

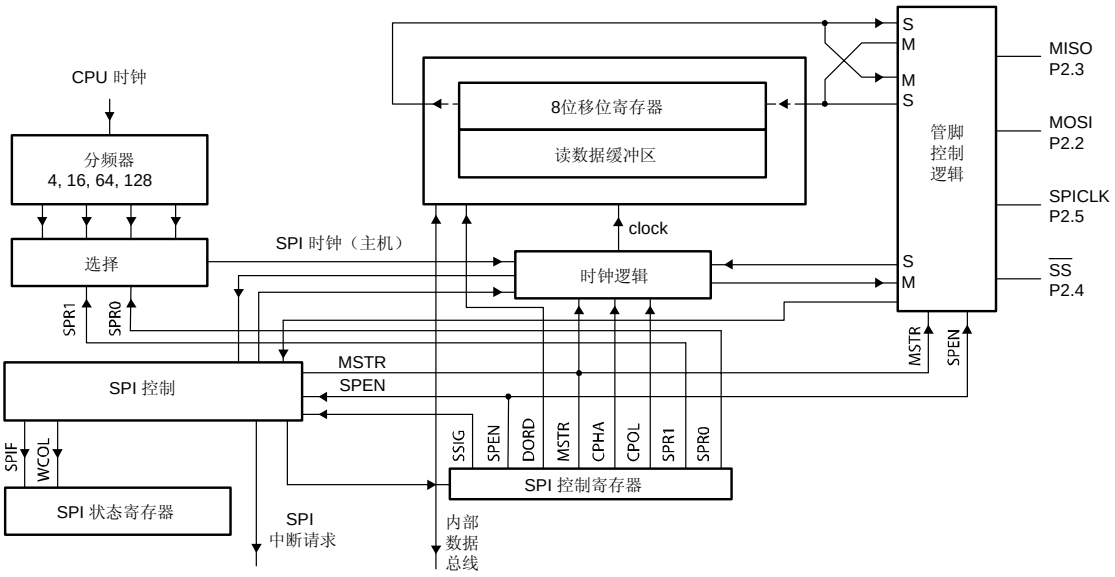


图 15 SPI 方框图

SPI 接口有 4 个管脚：SPICLK, MOSI, MISO 和 $\overline{SS}$：

- SPICLK, MOSI 和 MISO 通常和两个或更多 SPI 器件连接在一起。数据通过 MOSI（主机输出从机输入）从主机传送到从机，通过 MISO（主机输入从机输出）从从机传送到主机。SPICLK 信号在主模式时为输出，在从模式时为输入。如果 SPI 系统被禁止，即 SPEN(SPCTL.6)=0(复位值)，这些管脚都可作为 I/O 口使用。
- $\overline{SS}$ 为从机选择管脚。在典型的配置中，SPI 主机使用 I/O 口选择一个 SPI 器件作为当前的从机。SPI 从器件通过其 $\overline{SS}$ 脚确定是否被选择。

典型连接如图 16～18 所示。

7.22.1 典型的 SPI 配置

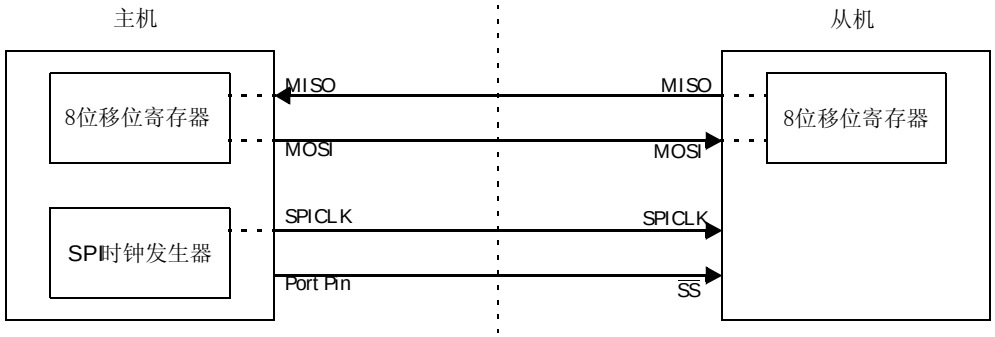


图 16 SPI 单主机单从机配置

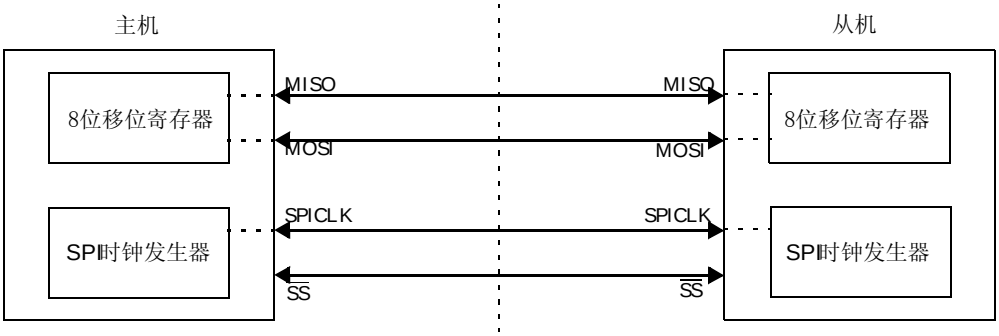


图 17　SPI 双器件配置（两器件可互为主从）

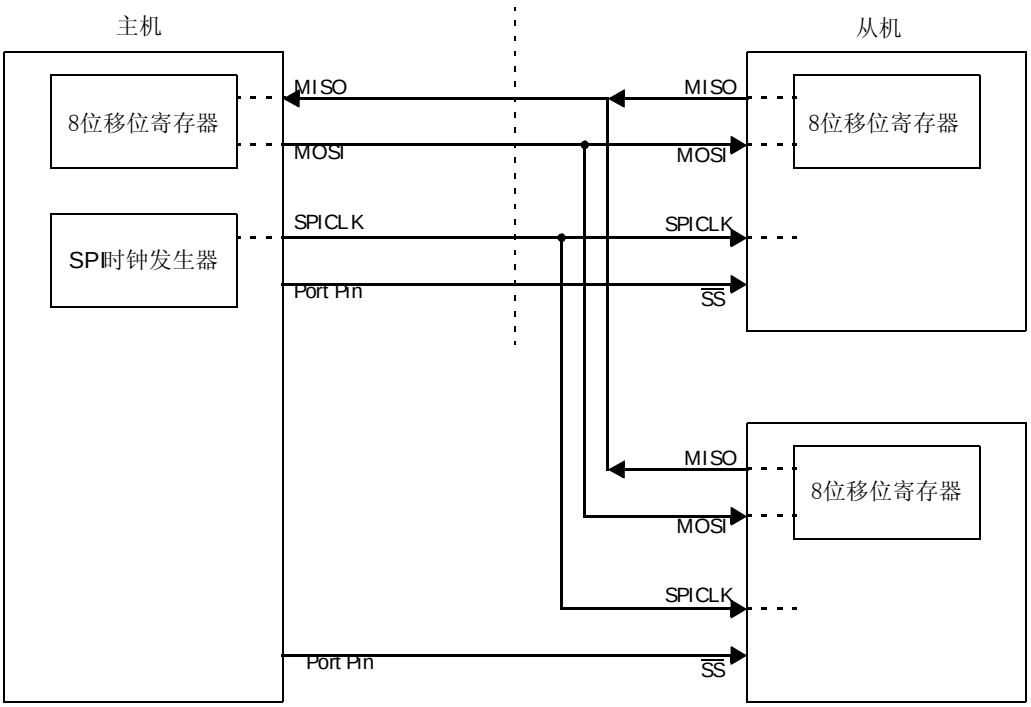


图 18　SPI 单主机多从机配置

7.23 模拟比较器

P89LPC938 有 2 个模拟比较器，输入和输出选项允许将比较器配置成为不同模式。当正向输入(二个可选择脚之一)电压大于反向输入时(可选择外部管脚输入或内部参考电压)，输出信号为“1”(可从寄存器读出和/或输出到管脚)，反之则输出为“0”。每个比较器都可配置为当输出发生改变时产生中断。

两个比较器总的连接方式如图 19 所示。比较器的最低工作电压为 V_{DD}=2.4V。

当每个比较器刚被使能时，比较器输出和中断标志需要 10 微秒的稳定时间，在这段时间里，相应的比较器中断不应使能，并且在使能中断以前必须清零相应的比较器中断标志，以避免立即响应中断服务。

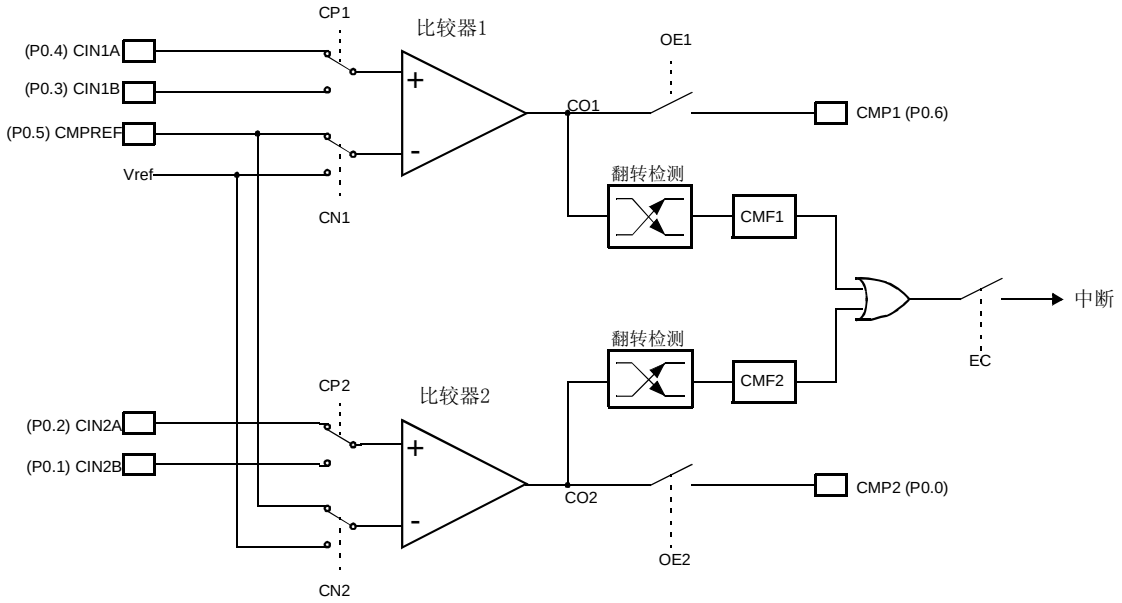


图 19 比较器输入和输出的连接

7.23.1 内部参考电压

当使用单个比较器输入管脚时，内部参考电压发生器可提供一个默认的参考电压。参考电压的值为 Vref = 1.23V ± 10%。

7.23.2 比较器中断

每个比较器配置寄存器中都有一个比较器中断标志。当比较器输出状态改变时中断标志位置位，此标志位可通过软件查询或用于产生一个中断。两个比较器使用同一个中断向量。如果两个比较器都使能中断，在进入中断服务程序之后，用户需要读取中断标志以确定是哪一个比较器产生的中断。

7.23.3 比较器和节电模式

在掉电模式或空闲模式下，两个比较器或其中一个可以继续保持使能状态。但在完全掉电模式中，两个比较器都被自动禁止。

当比较器中断使能时（完全掉电模式除外），比较器输出发生改变时将会产生一个中断并将 CPU 唤醒。当比较器输出到管脚使能时，此管脚应该配置为推挽输出模式以便在掉电工作模式下获得较快的开关速度。这样做是因为当振荡器停止后，打开准双向口不会产生正常情况下的短时强上拉。

比较器在掉电或空闲状态下所消耗的电流和正常操作模式下相同。当系统功耗是一个重要的指标时，就必须将比较器的功耗考虑在内。若要降低功耗，用户可通过 PCONA.5 禁止比较器，或将器件设置为完全掉电模式。

7.24 键盘中断（KBI）

键盘中断功能主要用于当 P0 口等于或不等于特定的模式时产生一个中断。该功能可用于总线地址识别或对键盘的识别。用户可通过 SFR 将端口配置为不同的用途。

键盘中断屏蔽寄存器（KBMASK）用于定义连接到 P0 口的使能触发中断的输入管脚。

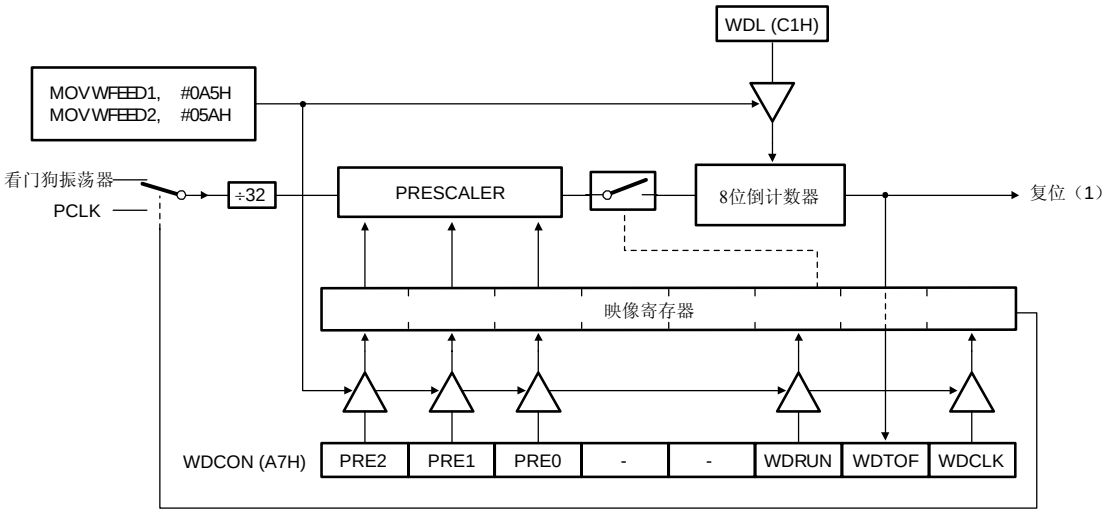
键盘模式寄存器（KBPATN）用于定义与 P0 口值相比较的模式。当键盘中断功能有效且条件匹配时，键盘中断控制寄存器（KBCON）中的键盘中断标志（KBIF）置位。如果中断使能，则会产生一个中断。键盘中断控制寄存器（KBCON）中的 PATN_SEL 位用于比较时定义等于或不等于。

为了将其设置为类似 87LPC76x 的 KBI 功能，用户必须设置 KBPATH=0FFH 和 PATN_SEL=1（不相等），这样任何连接到 P0 口管脚(由 KBMASK 寄存器使能)的按键都将使硬件置位 KBIF 并产生中断（如果中断使能）。中断可用于将 CPU 从空闲模式或掉电模式中唤醒。此特性尤其适合便携式且使用电池供电的系统，因为这些系统需要对功耗进行管理同时又要方便用户使用。

为了置位中断标志并导致中断产生，P0 口的模式的保持时间必须长于 6 个 CCLK。

7.25 看门狗定时器

当软件没能在定时器溢出之前将其清零，看门狗定时器就会产生系统复位。看门狗定时器由一个可编程的 12 位预分频器和一个 8 位倒计数器组成。该倒计数器以预分频器的节拍作为时钟源。预分频器的时钟源可选择 PCLK 或标称为 400KHz 的看门狗振荡器。看门狗定时器只能通过上电实现复位。当看门狗被禁止时，它可作为一个间隔定时器并可产生中断。图 20 所示为看门狗模式中的看门狗定时器。要将看门狗清零，必须按顺序执行两条指令。如果将 PCLK 作为看门狗的时钟源并且 CPU 处于掉电模式中，则看门狗被禁止。看门狗的超时周期范围从几微秒到几秒。具体数据请参阅 P89LPC938 使用指南。



(1) 无效的清零序列或写 WDCON 后未立刻执行清零序列也会引起看门狗复位。

图 20 看门狗模式中的看门狗定时器（WDTE=1）

7.26 附加特性

7.26.1 软件复位

AUXR1 寄存器的 SRST 位使软件能像发生外部复位或看门狗复位一样，使处理器彻底复位。写入 AUXR1 时，务必小心以防止产生意外的软件复位。

7.26.2 双数据指针

双数据指针（DPTR）增加了处理器指向确定地址的方式。AUXR1 寄存器的 DPS 位选择两个数据指针中的一个。AUXR1 的第 2 位的逻辑电平永远都为“0”，这样 DPS 位可以简单地通过将 AUXR1 加 1 进行切换（因此对数据指针进行切换）而不会更改寄存器的其它位。

7.27 数据 EEPROM

P89LPC938 拥有 512 个字节的片内数据 EEPROM。数据 EEPROM 由 SFR 控制，可字节读、字节写以及可擦除（通过行填充和扇区填充）。用户通过 SFR 和中断对其进行读、写和填充。该数据 EEPROM 每字节最少可擦除/编程 100,000 次。

- **字节模式**：在该模式中，一次可以读和写一个字节数据。
- **行填充**：在该模式中，被寻址的行（64 字节）填充相同的值。整个行可通过写入 00h 擦除。
- **扇区填充**：在该模式中，所有 512 个字节都填充相同的值。整个扇区可通过写入 00h 擦除。

操作完成之后，硬件会置位 EEIF 位。如果中断使能则产生中断。EEIF 位通过软件清零。

7.28 FLASH 程序存储器

7.28.1 概述

P89LPC938 Flash 存储器提供电路中的电擦除和编程。Flash 可以字节为单位擦除、读取或写入。扇区和页擦除功能可擦除任意的 Flash 扇区（1kB）或页（64 字节）。芯片擦除功能可实现整个程序存储器的擦除。ICP 功能通过标准商用编程器来实现。另外，IAP 和字节擦除功能允许程序存储器用作非易失性数据存储器。片内产生的擦除和写入时序为用户提供了友好的编程接口。P89LPC938 Flash 存储器甚至在经过 100, 000 次擦除和编程之后仍然能可靠地保存存储器的内容。存储单元的设计优化了擦除和编程结构。P89LPC938 使用 VDD 电压来执行编程和擦除算法。

7.28.2 特性

- 可在整个操作电压范围内执行编程和擦除。
- 字节擦除允许程序存储器用于存储数据。
- 使用 ISP/IAP/ICP 进行读/编程/擦除。
- 内部固化的引导 ROM，包含了一个低级的 IAP 子程序。
- 默认的装载程序可通过串口进行 ISP 编程。该程序位于用户程序存储器空间的顶端。
- Boot 向量允许用户将 Flash 装载代码放入 Flash 存储器内的任何位置。这种配置为用户提供了应用的灵活性。
- 任意 Flash 编程/擦除时间小于 2ms。
- 使用工业标准的商用编程器进行编程。
- 可对每一个 Flash 扇区进行编程加密。

- 每个字节至少可执行 100,000 次擦除/编程。
- 数据至少可保存 10 年。

7.28.3 Flash 的结构

P89LPC938 包含 8 个 1KB 扇区的 Flash 程序存储器。每个扇区可进一步分成 64 字节的页。除了扇区擦除、页擦除和字节擦除外，还包含一个 64 字节的页寄存器，它可实现给定页 1 到 64 字节的同时编程，这彻底降低了整个编程的时间。

7.28.4 Flash 用作数据存储器

P89LPC938 的 Flash 程序存储器支持单个字节的擦除和编程。程序存储器的任何一个字节都可通过 MOVC 指令来读取，只要包含该字节的扇区未加密（MOVC 指令不能读取加密扇区的程序存储器的内容）。因此，非加密扇区的任何字节都可用来存储非易失性数据。

7.28.5 Flash 的编程和擦除

有 4 种方法可实现对 Flash 的编程或擦除。第一，在应用固件的控制下，在最终用户应用程序中（IAP）对 Flash 进行编程或擦除。第二，使用 ICP 功能。通过系统提供的串行时钟－串行数据接口来实现 ICP 编程。第三，出厂时，器件的用户代码空间的高 512 字节包含一个串行 ISP 程序，调用该程序通过串口来实现在电路编程。第四，使用支持该器件的商用 EPROM 编程器进行并行编程或擦除。该器件不提供对代码内容的直接校验。而是提供一个扇区或整个用户代码区的 32 位 CRC 结果。

7.28.6 在电路编程（ICP）

ICP 编程执行时不需要将微控制器从系统中移出。ICP 特性包含了一系列内部的硬件资源，通过一个两线结构的串行接口就可实现对 P89LPC938 的远程编程。PHILIPS ICP 特性使嵌入式应用中的在电路编程变得可行，使用支持器件的编程器就可实现，最大限度减少了额外的元件开销和电路板面积。ICP 功能使用芯片的 5 个管脚。只需要一个小的连接器就可实现外部电路和编程器的连接，从而实现该特性。详情请参考 P89LPC938 使用指南。

7.28.7 在应用中编程（IAP）

在微控制器固件控制下来实现 IAP 特性的应用。IAP 特性包含的内部硬件资源可方便地实现对芯片的编程和擦除。PHILIPS 的在应用中编程特性使嵌入式应用中的在应用中编程变得可行，编程执行时不需要其它的元件。有两种方法可实现 IAP 特性。引导 ROM 提供有一系列预定的 IAP 功能，这些功能可通过一个公共接口 PGM_MTP 来调用。通过在一个应用程序中对几个 IAP 子程序的调用，可实现有选择地对 Flash 扇区、页、保密位、配置字节和器件 ID 进行擦除和编程。这些功能通过在调用位于地址 FF03H 的 PGM_MTP 之前，设置微控制器的寄存器来选择。引导 ROM 占用程序存储器顶部 FF00 到 FEFF 的空间，因此不会与用户代码空间冲突。

另外，IAP 操作也可利用四个 SFR：1 个控制/状态寄存器、1 个数据寄存器和 2 个地址寄存器来完成。详情请参考 P89LPC938 使用指南。

7.28.8 在系统编程（ISP）

ISP 编程执行时不需要将微控制器从系统中移出。在系统编程特性包含了一系列内部的硬件资源，与内部固件相结合可实现通过串口对 P89LPC938 的远程编程。固件由 Pilips 提供并嵌入到每一个 P89LPC938 芯片当中。PHILIPS 的在系统编程(ISP)特性使嵌入式应用中

的在电路编程变得可行，并最大限度减小了额外的元件开销和电路板面积。ISP 功能使用芯片的 5 个管脚（V_{DD}, V_{SS}, TxD, RxD 和 $\overline{RST}$ ）。只需要一个小的连接器就可实现通过外部电路使用该特性的应用接口。

7.28.9 上电复位代码的执行

P89LPC938 包含两个特殊的 Flash 寄存器：引导向量和状态字节。复位后，P89LPC938 检查引导状态位的内容。如果为 0，则转去 0000H 地址开始执行程序。这是用户应用代码的正常起始地址。如果状态字节不为 0，则将引导向量的值作为程序计数器的高字节，低字节固定为 00H。

表 8 所示为器件引导向量的出厂默认设置。出厂提供的引导装载程序在指定地址空间被预先编程，用户可利用该引导装载程序的入口来执行 ISP 功能。引导装载代码可被用户擦除。**用户如果需要使用这部分代码，就必须小心以避免将包含了该引导装载程序的 1KB 扇区擦除。但是，可使用页擦除功能将该扇区第一个 8 个 64 字节的页擦除。**如果需要的话，可以将引导向量设置到用户的引导装载程序入口地址。

表 8 默认引导向量值和 ISP 入口

器件	默认引导向量	默认引导装载程序入口	默认引导装载代码的空间范围	1kB 扇区范围
P89LPC938	1FH	1F00H	1E00H – 1FFFH	1C00H – 1FFFH

7.28.10 引导装载程序的硬件激活

在上电时，通过强制器件进入 ISP 模式也可执行引导装载程序（详见 P89LPC938 使用指南）。这和非零状态字节的效果是一样的。这样就可以在正常时执行用户代码，但又可以手动强制进入 ISP 操作。如果改变引导向量出厂时默认的设定（1FH），将不再指向工厂预先编程的 ISP 引导装载程序。在对 Flash 进行编程后，状态字节可编程为 0，以允许用户应用代码从地址 0000H 开始执行。

7.29 用户配置字节

P89LPC938 的众多用户可配置的特性必须在上电时定义，开始执行程序后便不可设置了。这些特性是通过配置 Flash 字节 UCFG1 实现。请参阅 P89LPC938 使用指南。

7.30 用户扇区保密字节

P89LPC938 具有 8 个用户扇区保密字节，每个字节都对应一个扇区。请参阅 P89LPC938 使用指南。

8. A/D 转换器

8.1 概述

P89LPC938 包含 1 个 10 位、8 路逐步逼近式模数转换模块。A/D 转换器的原理框图见

图 21。每个 A/D 转换器由一个 8 输入多路转换器组成。多路转换器的输出通过采样-保持电路，为两个比较器提供一个输入信号。控制逻辑连同逐次逼近式寄存器（SAR）来驱动一个数模转换器，为比较器提供另外一个输入。比较器的输出又回到 SAR。

8.2 A/D 特性

- 10 位 8 路输入的逐次逼近式 A/D 转换器。
- 8 个结果寄存器对。
- 6 种工作模式

  －固定通道，单次转换模式
  －固定通道，连续转换模式
  －自动扫描，单次转换模式
  －自动扫描，连续转换模式
  －双通道，连续转换模式
  －单步模式
- 3 种转换启动模式

  －定时器触发起动
  －立即起动
  －边沿触发
- 在 9MHz 的 A/D 时钟下，4us 的 10 位转换时间
- 中断或查询操作
- 高和低边界限制中断；在范围内或超出范围都可选择
- 时钟分频器
- 掉电模式

8.3 方框图

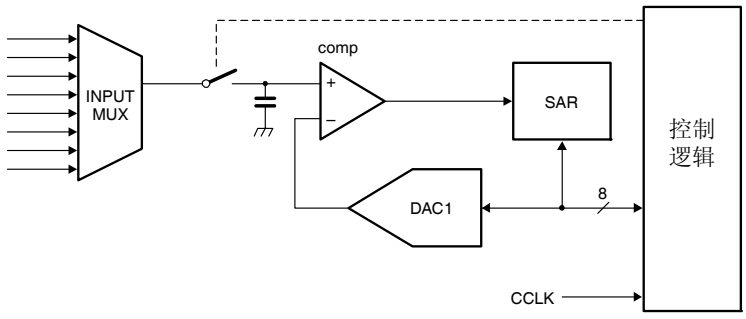


图 21　A/D 转换器方框图

8.4 A/D 工作模式

8.4.1 固定通道，单次转换模式

选择单个输入通道进行转换。执行单次转换并将转换结果存放到所选输入通道对应的结果寄存器中。如果中断使能，转换完成后产生中断。

8.4.2 固定通道，连续转换模式

选择单个通道进行连续转换。转换结果顺序存放在 8 个结果寄存器中。用户可选择每完成 4 次或 8 次转换后是否产生中断。其它额外的转换结果将循环存放到结果寄存器对中，将之前的结果覆盖。连续转换过程由用户终止。

8.4.3 自动扫描，单次转换模式

可选择 8 输入通道的任意组合进行转换。执行所选输入的单次转换并将转换结果存放到所选输入通道对应的结果寄存器中。如果中断使能，完成前 4 次转换或所选通道的转换后产生中断。如果用户选择在 4 个输入通道转换完成后产生一个中断，那么第二个中断将在剩余的输入通道全部转换完后产生。如果只选择一个转换通道，该模式便与单通道，单次转换模式完全相同。

8.4.4 自动扫描，连续转换模式

可选择 8 输入通道的任意组合进行转换。执行所选每个通道的转换并将结果存放到转换通道相应的结果寄存器中。如果中断使能，完成前 4 次转换或所选通道的转换后产生中断。如果用户选择在 4 个输入通道转换完成后产生一个中断，那么第二个中断将在剩余的输入通道全部转换完后产生。自启动首次选择通道的转换开始，转换过程不断重复。其它的转换结果再循环存放到 8 个结果寄存器中，将之前的结果覆盖。连续转换过程由用户终止。

8.4.5 双通道，连续转换模式

这是变化的自动扫描连续转换模式，其中转换在 2 个可用户选择的输入发生。从 8 个输入通道中选择任何 2 个通道进行转换。第一个输入通道的转换结果存放在一对结果寄存器 AD0DAT0R 和 AD0DAT0L 中。第二个输入通道的转换结果存放在结果寄存器对 AD0DAT1R 和 AD0DAT1L 中。第一个通道的第二次转换结果存放在 AD0DAT2R 和 AD0DAT2L 中，第二个通道的第二次转换结果存放在 AD0DAT3R 和 AD0DAT3L 中，如此类推。如果中断使能，完成 4 次或 8 次转换后产生中断（可用户选择）。

8.4.6 单步模式

这是一种特殊的工作模式。它允许在自动扫描转换模式中进行‘单步’转换。该模式下，用户可选择 8 个输入通道的任意组合进行转换。每个通道转换结束后，产生中断（如果中断使能），A/D 转换器再等待下次转换的启动条件。每个转换结果存放在所选输入通道相应的结果寄存器中。该模式可与任何一种启动模式结合使用。

8.5 触发启动模式

8.5.1 定时器触发启动

定时器 0 溢出时启动一次 A/D 转换。一旦转换过程被启动，其它的定时器 0 触发操作均无效，直至转换过程结束。定时器触发模式适用于所有 A/D 工作模式。

8.5.2 立即启动

编程为该模式将立即启动一次转换。立即启动模式适用于所有 A/D 工作模式。

8.5.3 边沿触发

由 P1.4 脚的上升或下降沿来启动 A/D 转换。一旦转换过程被启动，其它的由边沿触发引起的操作均无效，直至转换过程结束。边沿触发启动模式适用于所有 A/D 工作模式。

8.6 边界限制中断

每个 A/D 转换器都包含一个高、低边界限制寄存器。用户可以选择在转换结果在高和低边界限制之内（或等于高、低边界）或超出边界限制范围之外时是否产生中断。如果中断使能，转换结果超出限制范围时产生中断。边界限制通过清除边界限制中断使能来禁止。

有一个较早的检测方法可用在超出边界范围外的中断标准中。这种情况下，4 个 MSB 的转换完成后，这 4 个位与边界高和低寄存器的 4 个 MSB 相比较。如果转换的 4 个 MSB 满足中断标准的要求（即，超出边界限制范围），则产生中断（如果使能）。如果转换的 4 个 MSB 不满足中断标准的要求，当全部 8 个 MSB 转换完成后，边界限制再与之进行比较。边界状态寄存器(BNDSTA0)用来标识产生边界中断的通道。

8.7 时钟分频器

为了保证转换精度，A/D 转换器要求其内部时钟源的频率范围为 500kHz～3MHz。可编程时钟分频器可对时钟进行 1～8 分频。

8.8 掉电和空闲模式

空闲模式下，A/D 转换器（如果使能）将继续工作。如果 A/D 中断使能，转换过程结束后可使器件退出空闲模式。掉电模式和完全掉电模式下 A/D 转换器停止工作。如果 A/D 转换器被使能，它将消耗功率。因此，关闭 A/D 转换器可降低功耗。

9. 极限值

表 9 极限值

遵循绝对最大额定系统规范（IEC 60134）。[1]

符合	参数	条件	最小	最大	单位
Tamb(bias)	工作温度		-55	+125	℃
Tstg	储存温度		-65	+150	℃
Vxtal	XTAL1, XTAL2 脚对 Vss 的电压		-	V_{DD}+0.5	V
$I_{OH(I/O)}$	每个 I/O 管脚的高电平输出电流		-	20	mA
$I_{OL(I/O)}$	每个 I/O 管脚的低电平输出电流		-	20	mA
$I_{I/O(tot)(max)}$	最大总 I/O 电流		-	100	mA
$P_{tot(pack)}$	每个封装的总功耗	基于封装的热传递，并非器件的功耗	-	1.5	W

[1] 以下应用于表 9“极限值”。

a) 器件在超过上表所列的极限情况下工作，可能会造成永久性的损坏。上面列出的是器件正常工作的额定值，并未涉及相应的功能操作。详细请参考表 10“DC 电气特性”和表 11“AC 特性”。

b) 本产品带有保护器件内部的电路设计，以避免超负荷的损坏性影响。但是建议不要在超过极限值的情况下工作。

c) 参数在操作温度范围内是有效的，除非另有规定。所有电压都是相对 Vss 而言的，除非另有说明。

10. 静态特性

表 10 DC 电气特性

V_{DD}=2.4V～3.6V，除非特别说明。

Tamb=– 40℃～+85℃，工业级

符号	参数	测试条件	最小	典型[1]	最大	单位
$I_{DD(oper)}$	电源电流,正常工作模式	3.6V,12MHz [2]	-	14	23	mA
$I_{DD(idle)}$	电源电流,空闲模式	3.6V,12MHz [2]	-	5	7	mA
$I_{DD(PD)}$	电源电流,掉电模式,电压比较器掉电	3.6V [2]	-	55	80	μA
$I_{DD(TPD)}$	电源电流,完全掉电模式	3.6V [3]	-	1	5	μA
$(dV/dt)_r$	VDD 上升时间	V_{DD} 电压下	-	-	2	mV/μs
$(dV/dt)_f$	VDD 下降时间	V_{DD} 电压下	-	-	50	mV/μs
V_{DDR}	数据保持电压		1.5	-	-	V
$V_{th(HL)}$	负门槛电压	除 SCL,SDA 外	$0.22V_{DD}$	$0.4V_{DD}$	-	V
V_{IL}	输入低电压	仅适用于 SCL,SDA	-0.5	-	$0.3V_{DD}$	V
$V_{th(LH)}$	正门槛电压	除 SCL,SDA 外	-	$0.6V_{DD}$	$0.7V_{DD}$	V
V_{IH}	输入高电压	仅适用于 SCL,SDA	$0.7V_{DD}$	-	5.5	V
V_{hys}	滞后电压	P1 口	-	$0.2V_{DD}$	-	V
V_{OL}	低电平输出电压	IOL=20mA, VDD=2.4V~3.6V [4] 所有端口，除高阻态以外的所有模式。	-	0.6	1.0	V
		IOL=3.2mA, VDD=2.4V~3.6V [4] 所有端口，除高阻态以外的所有模式。	-	0.2	0.3	V
V_{OH}	高电平输出电压	IOH=-20μA, VDD=2.4V~3.6V; 准双向模式，所有口	V_{DD}-0.3	V_{DD}-0.2	-	V
		IOH= -3.2mA, VDD=2.4V~3.6V; 推挽模式，所有口	V_{DD}-0.7	V_{DD}-0.4	-	V
		IOH= -20mA, VDD=2.4V~3.6V; 推挽模式，所有口	V_{DD}-1.0	-	-	V
Ciss	输入电容	[5]	-	-	15	pF
I_{IL}	逻辑 0 输入电流	V_I=0.4V [6]	-	-	-80	μA

续表 10

符号	参数	测试条件	最小	典型[1]	最大	单位
I_{LI}	输入漏电流	VI=VIL,VIH， Vth(HL) [7]	-	-	±10	μA
I_{TL}	逻辑 1 到 0 跳变电流, 所有端口	VI=1.5V at VDD=3.6V [8]	-30	-	-450	μA
$R_{RST(int)}$	$\overline{RST}$ 管脚内部上拉电阻		10	-	30	kΩ
V_{BO}	掉电电压	2.4V < VDD < 3.6V；BOV=1, BOPD=0	2.40	-	2.70	V
$V_{ref(bg)}$	带隙参考电压		1.11	1.23	1.34	V
TC_{bg}	带隙温度效应		-	10	20	ppm/℃

注：

[1] 不能保证得到典型的标称值。表中所列值为在室温， V_{DD}=3V。

[2] $I_{DD(oper)}$，$I_{DD(idle)}$和 $I_{DD(PD)}$的规格在以下条件下测得：使用外部时钟源，关闭比较器、实时时钟和看门狗定时器。

[3] IDD(TPD)的规格在以下条件下测得：使用外部时钟源，关闭比较器、实时时钟、掉电检测和看门狗定时器。

[4] 见第 9 节“极限值” I_{OH} 或 I_{OL} 的稳定值（非瞬态），如果 IOL/IOH 超过测试条件，V_{OL}/V_{OH} 也将超出相应的规格。

[5] 管脚电容由其特性得到，但未作测试。

[6] 在准双向模式下测得。

[7] 在高阻模式下测得。

[8] 准双向口模式和外部驱动 1 变 0 时的管脚的跳变电流。当 V_{IN} 大约为 2V 时，该电流最大。

11. 动态特性

表 11 AC 特性

VDD=2.4V～3.6V，除非特别说明。

Tamb= – 40℃～+85℃,工业级，除非特别说明。[1][2]

符号	条件	参数	可变时钟		f_{OSC}=12MHz		单位
			最小	最大	最小	最大	
$f_{OSC(RC)}$		内部 RC 振荡器频率	7.189	7.557	7.189	7.557	MHz
$f_{OSC(WD)}$		内部看门狗振荡器频率	320	520	320	520	KHz
f_{OSC}		振荡器频率	0	12	-	-	MHz
$T_{cy(CLK)}$	见图 23	时钟周期	83	-	-	-	ns
f_{CLKLP}		低功耗选择频率	0	8	-	-	MHz
干扰滤波器							
tgr	P1.5/$\overline{RST}$ 脚	过滤信号	-	50	-	50	ns
	任意脚（P1.5/$\overline{RST}$ 除外）		-	15	-	15	ns
Tsa	P1.5/$\overline{RST}$ 脚	接受信号	125	-	125	-	ns
	任意脚（P1.5/$\overline{RST}$ 除外）		50	-	50	-	ns
外部时钟							
t_{CHCX}	见图 23	高电平时间	33	$T_{cy(CLK)}$-t_{CLCX}	33	-	ns
t_{CLCX}	见图 23	低电平时间	33	$T_{cy(CLK)}$-t_{CHCX}	33	-	ns
t_{CLCH}	见图 23	上升时间	-	8	-	8	ns
t_{CHCL}	见图 23	下降时间	-	8	-	8	ns
移位寄存器（UART 模式 0）							
t_{XLXL}	见图 22	串口时钟周期	$16t_{cy(CLK)}$	-	1333	-	ns
t_{QVXH}	见图 22	输出数据建立到时钟上升沿	$13t_{cy(CLK)}$	-	1083	-	ns
t_{XHQX}	见图 22	输出数据在时钟上升沿后保持	-	$t_{cy(CLK)}$+20	-	103	ns
t_{XHDX}	见图 22	输入数据在时钟上升沿后保持	-	0	-	0	ns
t_{XHDV}	见图 22	输入数据有效到时钟上升沿	150	-	150	-	ns

续表 11

符号	条件	参数	可变时钟		f_{OSC}=12MHz		单位
			最小	最大	最小	最大	
SPI 接口							
f_{SPI}		SPI 操作频率 2.0MHz(从机) 3.0MHz(主机)	 0 -	 CCLK/6 CCLK/4	 0 -	 2.0 3.0	 MHz MHz
t_{SPICYC}	见图 24, 25,26,27	SPI 周期时间 2.0MHz(从机) 3.0MHz(主机)	 6/CCLK 4/CCLK	 - -	 500 333	 - -	 ns ns
$t_{SPILEAD}$	见图 26,27	SPI 使能前导时间 2.0MHz（从机）	 250	 -	 250	 -	 ns
t_{SPILAG}	见图 26,27	SPI 使能滞后时间 2.0MHz（从机）	 250	 -	 250	 -	 ns
$t_{SPICLKH}$	见图 24, 25,26,27	SPICLK 高电平时间 3.0MHz(主机) 2.0MHz(从机)	 2/CCLK 3/CCLK	 - -	 165 250	 - -	 ns ns
$t_{SPICLKL}$	见图 24, 25,26,27	SPICLK 低电平时间 3.0MHz(主机) 2.0MHz(从机)	 2/CCLK 3/CCLK	 - -	 165 250	 - -	 ns ns
t_{SPIDSU}	见图 24, 25,26，27	SPI 数据建立时间	100	-	100	-	ns
t_{SPIDH}	见图 24, 25,26,27	SPI 数据保持时间	100	-	100	-	ns
t_{SPIA}	见图 26,27	SPI 访问时间 2.0MHz（从机）	 0	 120	 0	 120	 ns
t_{SPIDIS}	见图 26,27	SPI 禁止时间 2.0MHz（从机）	 0	 240	 -	 240	 ns
t_{SPIDV}	见图 24, 25,26,27	SPI 使能输出数据有效时间 2.0MHz（从机） 3.0MHz（主机）	 - -	 240 167	 - -	 240 167	 ns ns
t_{SPIOH}	见图 24, 25,26,27	SPI 输出数据保持时间	0	-	0	-	ns
t_{SPIR}	见图 24, 25,26,27	SPI 上升时间 SPI 输出 (SPICLK,MOSI,MISO) SPI 输入 (SPICLK,MOSI,MISO, $\overline{SS}$)	 - -	 100 2000	 - -	 100 2000	 ns ns
t_{SPIF}	见图 24, 25,26,27	SPI 下降时间 SPI 输出 (SPICLK,MOSI,MISO) SPI 输入 (SPICLK,MOSI,MISO, $\overline{SS}$)	 - -	 100 2000	 - -	 100 2000	 ns ns

[1]. 如果没有另外定义，这些参数在操作温度范围内有效。

[2]. 部分特性在 2MHz 下测试，但不能保证操作频率可以降到 0Hz。

表 12 AC 特性

VDD=3.0V～3.6V，除非特别说明。

Tamb= – 40℃～+85℃,工业级，除非特别说明。[1][2]

符号	条件	参数	可变时钟		f_{osc}=18MHz		单位
			最小	最大	最小	最大	
$f_{OSC(RC)}$		内部 RC 振荡器频率	7.189	7.557	7.189	7.557	MHz
$f_{OSC(WD)}$		内部看门狗振荡器频率	320	520	320	520	KHz
f_{OSC}		振荡器频率	0	18	-	-	MHz
$T_{cy(CLK)}$	见图 23	时钟周期	55	-	-	-	ns
f_{CLKLP}		低功耗选择频率	0	8	-	-	MHz
干扰滤波器							
tgr	P1.5/$\overline{RST}$ 脚	过滤信号	-	50	-	50	ns
	任意脚（P1.5/$\overline{RST}$ 除外）		-	15	-	15	ns
Tsa	P1.5/$\overline{RST}$ 脚	接受信号	125	-	125	-	ns
	任意脚（P1.5/$\overline{RST}$ 除外）		50	-	50	-	ns
外部时钟							
t_{CHCX}	见图 23	高电平时间	22	$T_{cy(CLK)}$-t_{CLCX}	22	-	ns
t_{CLCX}	见图 23	低电平时间	22	$T_{cy(CLK)}$-t_{CHCX}	22	-	ns
t_{CLCH}	见图 23	上升时间	-	5	-	5	ns
t_{CHCL}	见图 233	下降时间	-	5	-	5	ns
移位寄存器（UART 模式 0）							
t_{XLXL}	见图 22	串口时钟周期	16 $t_{cy(CLK)}$	-	888	-	ns
t_{QVXH}	见图 22	输出数据建立到时钟上升沿	13 $t_{cy(CLK)}$	-	722	-	ns
t_{XHQX}	见图 22	输出数据在时钟上升沿后保持	-	$t_{cy(CLK)}$ +20	-	75	ns
t_{XHDX}	见图 22	输入数据在时钟上升沿后保持	-	0	-	0	ns
t_{XHDV}	见图 22	输入数据有效到时钟上升沿	150	-	150	-	ns

续表 12

符号	条件	参数	可变时钟		f_{osc}=18MHz		单位
			最小	最大	最小	最大	
SPI 接口							
f_{SPI}		SPI 操作频率 2.0MHz(从机) 3.0MHz(主机)	 0 -	 CCLK/6 CCLK/4	 0 -	 3.0 4.5	 MHz MHz
t_{SPICYC}	见图 24, 25,26,27	SPI 周期时间 3.0MHz(从机) 4.5MHz(主机)	 6/CCLK 4/CCLK	 - -	 333 222	 - -	 ns ns
$t_{SPILEAD}$	见图 26,27	SPI 使能前导时间 3.0MHz（从机）	 250	 -	 250	 -	 ns
t_{SPILAG}	见图 26,27	SPI 使能滞后时间 3.0MHz（从机）	 250	 -	 250	 -	 ns
$t_{SPICLKH}$	见图 24, 25,26,27	SPICLK 高电平时间 4.5MHz(主机) 3.0MHz(从机)	 2/CCLK 3/CCLK	 - -	 111 167	 - -	 ns ns
$t_{SPICLKL}$	见图 24, 25,26,27	SPICLK 低电平时间 4.5MHz(主机) 3.0MHz(从机)	 2/CCLK 3/CCLK	 - -	 111 167	 - -	 ns ns
t_{SPIDSU}	见图 24, 25,26,27	SPI 数据建立时间	100	-	100	-	ns
t_{SPIDH}	见图 24, 25,26,27	SPI 数据保持时间	100	-	100	-	ns
t_{SPIA}	见图 26,27	SPI 访问时间 3.0MHz（从机）	 0	 80	 0	 80	 ns
t_{SPIDIS}	见图 26,27	SPI 禁止时间 3.0MHz（从机）	 0	 160	 -	 160	ns
t_{SPIDV}	见图 24, 25,26,27	SPI 使能输出数据有效时间 3.0MHz（从机） 4.5MHz（主机）	 - -	 160 111	 - -	 160 111	 ns ns
t_{SPIOH}	见图 24, 25,26,27	SPI 输出数据保持时间	0	-	0	-	ns
t_{SPIR}	见图 24, 25,26,27	SPI 上升时间 SPI 输出 (SPICLK,MOSI,MISO) SPI 输入 (SPICLK,MOSI,MISO, $\overline{SS}$)	 - -	 100 2000	 - -	 100 2000	 ns ns
t_{SPIF}	见图 24, 25,26,27	SPI 下降时间 SPI 输出 (SPICLK,MOSI,MISO) SPI 输入 (SPICLK,MOSI,MISO, $\overline{SS}$)	 - -	 100 2000	 - -	 100 2000	 ns ns

[1]. 如果没有另外定义，这些参数在操作温度范围内有效。

[2]. 部分特性在 2MHz 下测试，但不能保证操作频率可以降到 0Hz。

11.1 波形

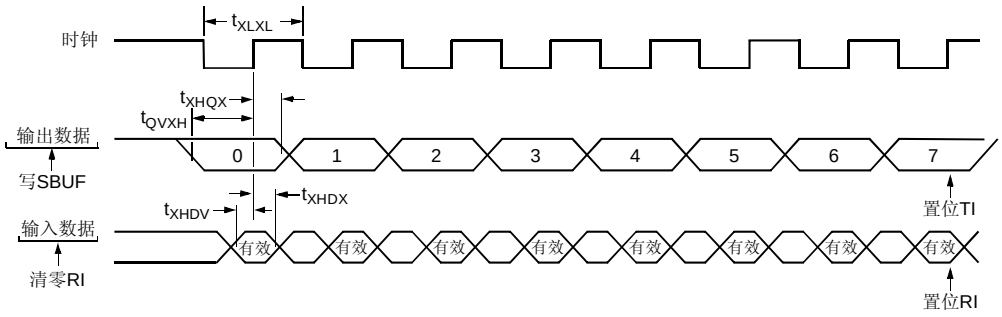


图 22　移位寄存器模式时序

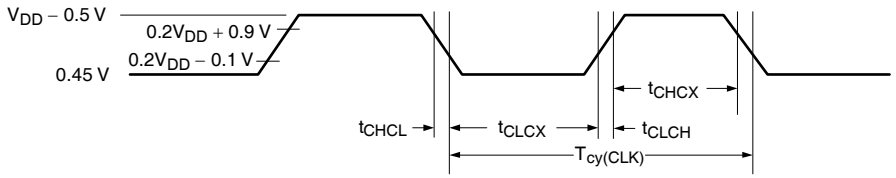


图 23　外部时钟时序

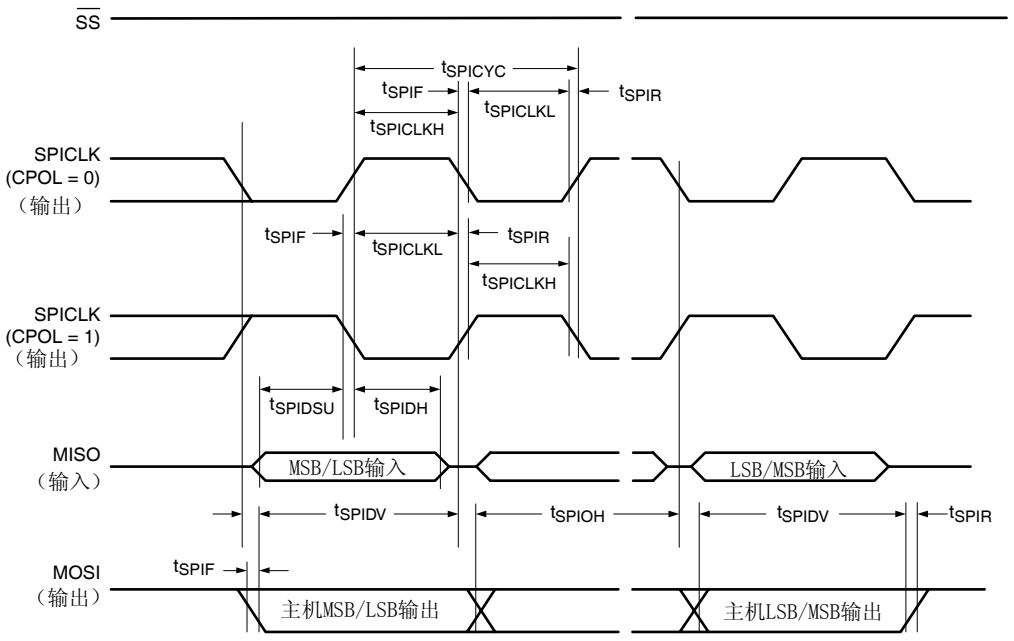


图 24　SPI 主机时序（CPHA=0）

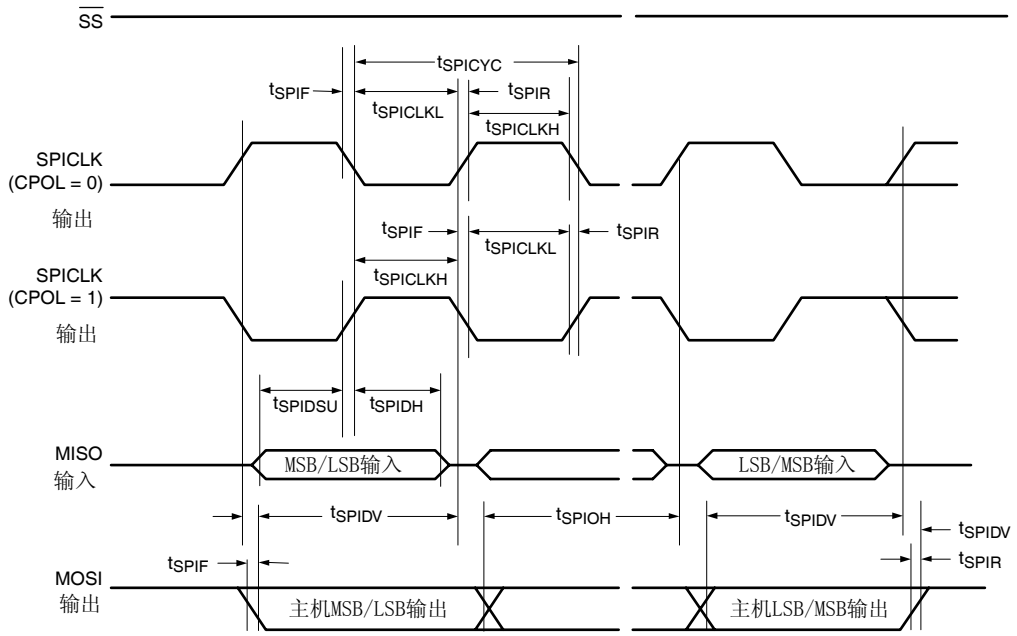


图 25 SPI 主机时序（CPHA=1）

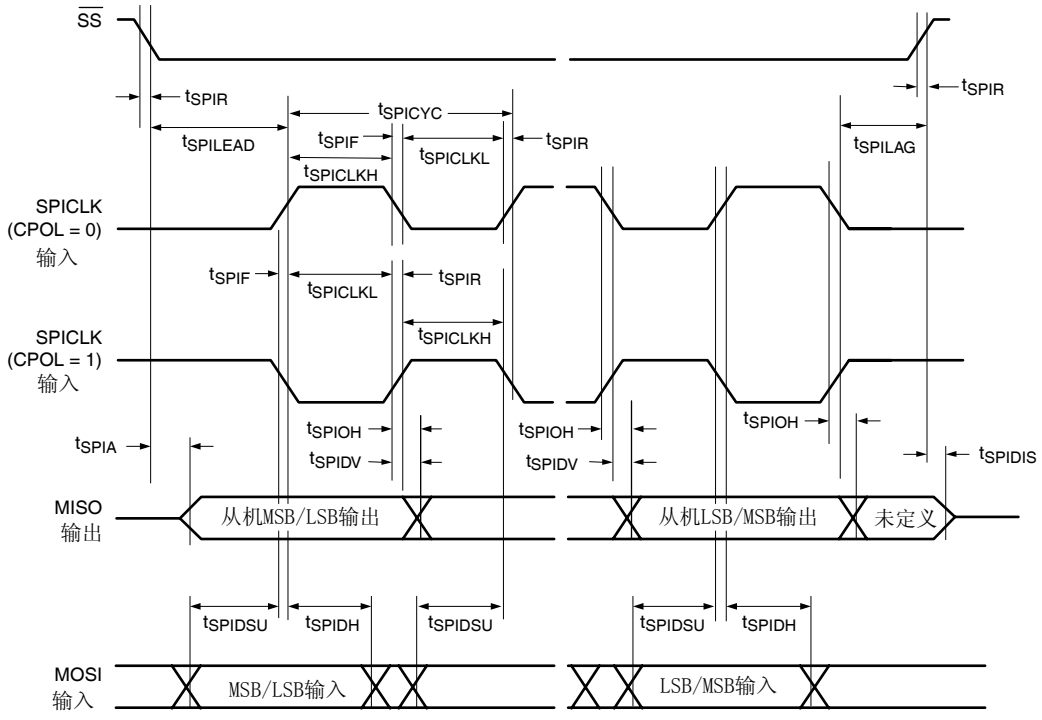


图 26 SPI 从机时序（CPHA=0）

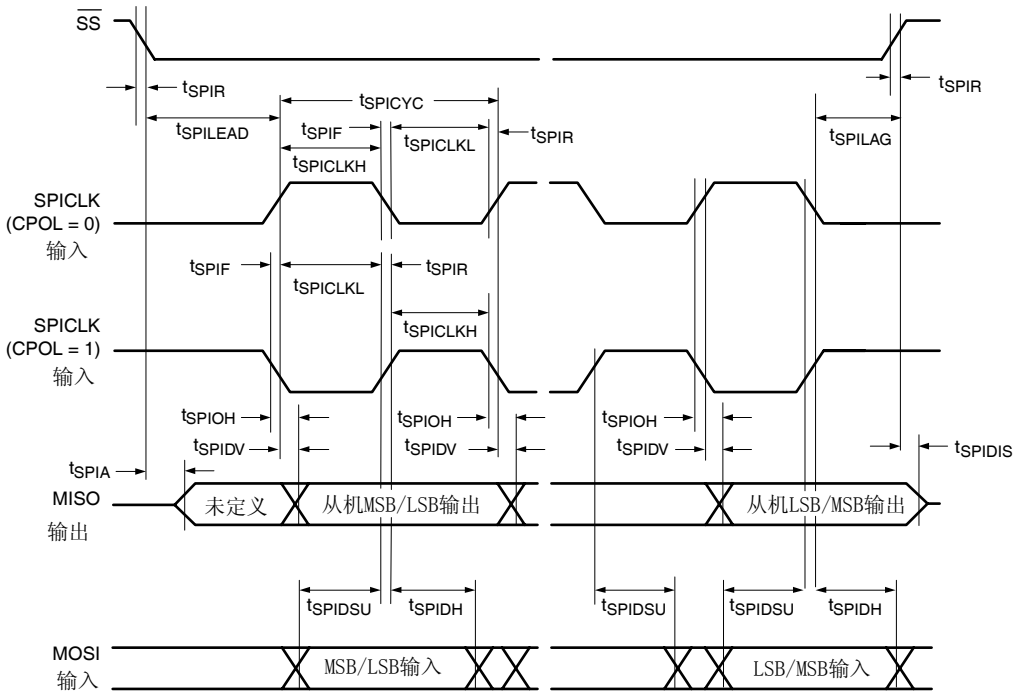


图 27 SPI 从机时序（CPHA=1）

11.2 ISP 入口模式

表 13 AC 特性，ISP 入口模式

V_{DD} = 2.4V～3.6V，Tamb=– 40℃～+85℃,工业级，除非特别说明。

符号	参数	最小值	典型	最大值	单位
t_{VR}	VDD 有效到 $\overline{RST}$ 的延迟	50	-		μs
t_{RH}	$\overline{RST}$ 高电平时间	1	-	32	μs
t_{RL}	$\overline{RST}$ 低电平时间	1	-		μs

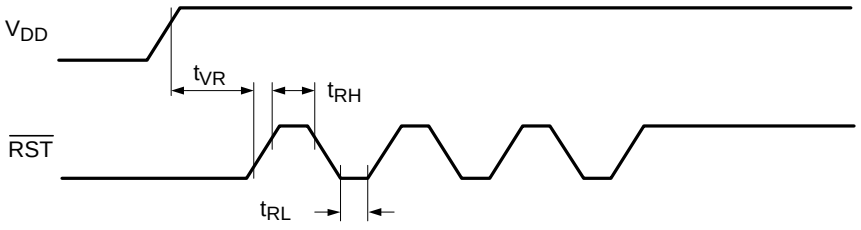


图 28 ISP 入口波形

12. 其它特性

12.1 比较器电气特性

表 14 比较器电气特性

V_{DD} = 2.4V～3.6V，Tamb=– 40℃～+85℃,工业级，除非特别说明。

符号	参数	测试条件	最小	典型	最大	单位
V_{IO}	比较器输入偏移电压				±20	mV
V_{IC}	共模比较器输入范围		0		V_{DD}-0.3	V
CMRR	共模抑制比	[1]			-50	dB
tres(tot)	总响应时间			250	500	nS
$t_{(CE-OV)}$	比较器使能到输出有效				10	μs
I_{IL}	比较器输入漏电流	$0<V_I<V_{DD}$			±10	μA

[1] 该参数由其特性保证，而不是由产品测得。

12.2 A/D 转换器电气特性

表 15 A/D 转换器电气特性

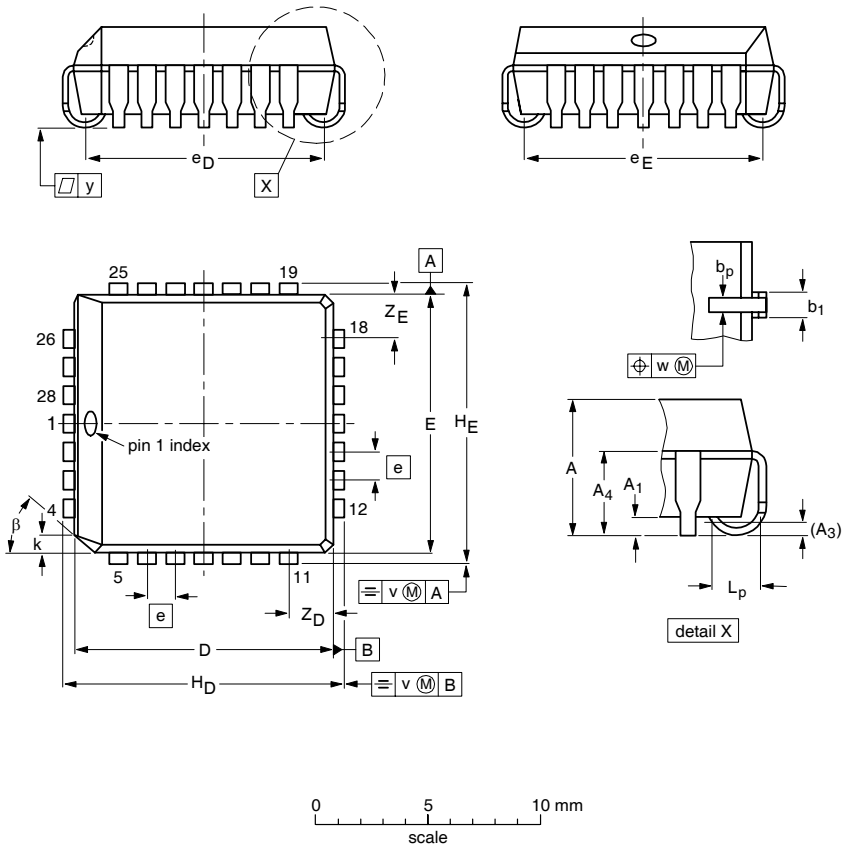
V_{DD}=2.4V～3.6V，Tamb＝– 40℃～+85℃,工业级，除非特别说明。

所有限制条件有效的前提是外部电源阻抗小于 10kΩ。

符号	参数	条件	最小	典型	最大	单位
V_{IA}	模拟输入电压		Vss－0.2	-	V_{SS}＋0.2	V
C_{iss}	模拟输入电容		-	-	15	pF
E_D	微分非线性		-	-	±1	LSB
$E_{L(adj)}$	整数非线性		-	-	±1	LSB
E_O	偏移误差		-	-	±2	LSB
E_G	增益误差		-	-	±1	%
$E_{u(tot)}$	量化误差		-	-	±2	LSB
M_{CTC}	通道与通道的匹配			-	±1	LSB
αct(port)	输入脚间的串扰	0～100kHz	-	-	－60	dB
SRin	输入转换速度		-	-	100	V/ms
$T_{cy(ADC)}$	ADC 时钟周期		111		3125	ns
t_{ADC}	转换时间	A/D 使能	-	-	36 $T_{cy(ADC)}$	ADC 时钟

13. 封装

PLCC28：28 脚



DIMENSIONS (mm dimensions are derived from the original inch dimensions)

UNIT	A	A_1 min.	A_3	A_4 max.	b_p	b_1	$D^{(1)}$	$E^{(1)}$	e	e_D	e_E	H_D	yH_E	k	L_p	v	w		$Z_D^{(1)}$ max.	$Z_E^{(1)}$ max.	β
mm	4.57 4.19	0.51	0.25	3.05	0.53 0.33	0.81 0.66	11.58 11.43	11.58 11.43	1.27	10.92 9.91	10.92 9.91	12.57 12.32	12.57 12.32	1.22 1.07	1.44 1.02	0.18	0.18	0.1	2.16	2.16	45°
inches	0.180 0.165	0.02	0.01	0.12	0.021 0.013	0.032 0.026	0.456 0.450	0.456 0.450	0.05	0.43 0.39	0.43 0.39	0.495 0.485	0.495 0.485	0.048 0.042	0.057 0.040	0.007	0.007	0.004	0.085	0.085	

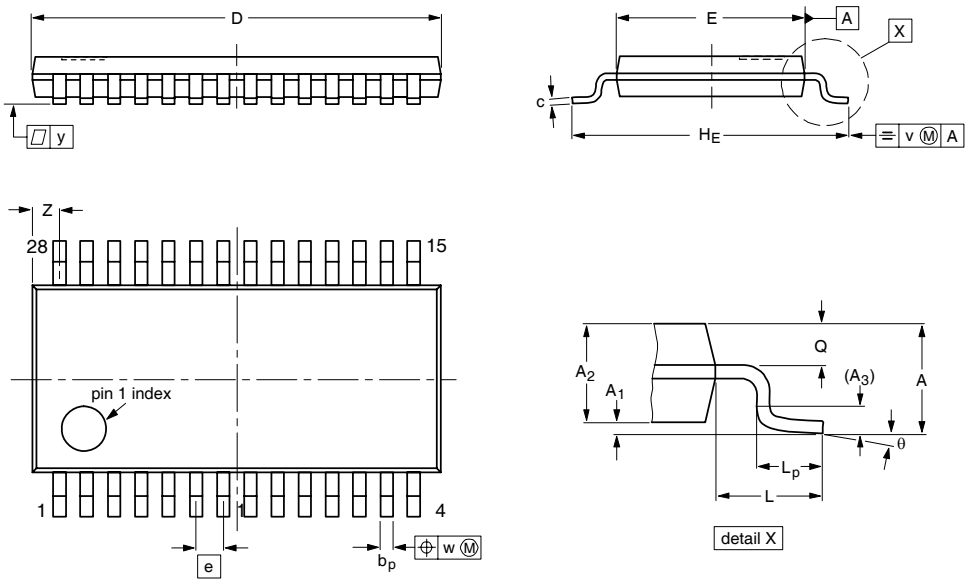
Note

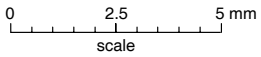
1. Plastic or metal protrusions of 0.25 mm (0.01 inch) maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT261-2	112E08	MS-018	EDR-7319			~~99-12-27~~ 01-11-15

图 29 SOT261-2(PLCC28)封装

TSSOP28：28 脚；本体宽度 4.4mm





DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A_1	A_2	A_3	b_p	c	D(1)	E(2)	e	H_E	L	L_p	Q	v	w	yZ	(1)	θ
mm	1.1	0.15 0.05	0.95 0.80	0.25	0.30 0.19	0.2 0.1	9.8 9.6	4.5 4.3	0.65	6.6 6.2	1	0.75 0.50	0.4 0.3	0.2	0.13	0.1	0.8 0.5	8° 0°

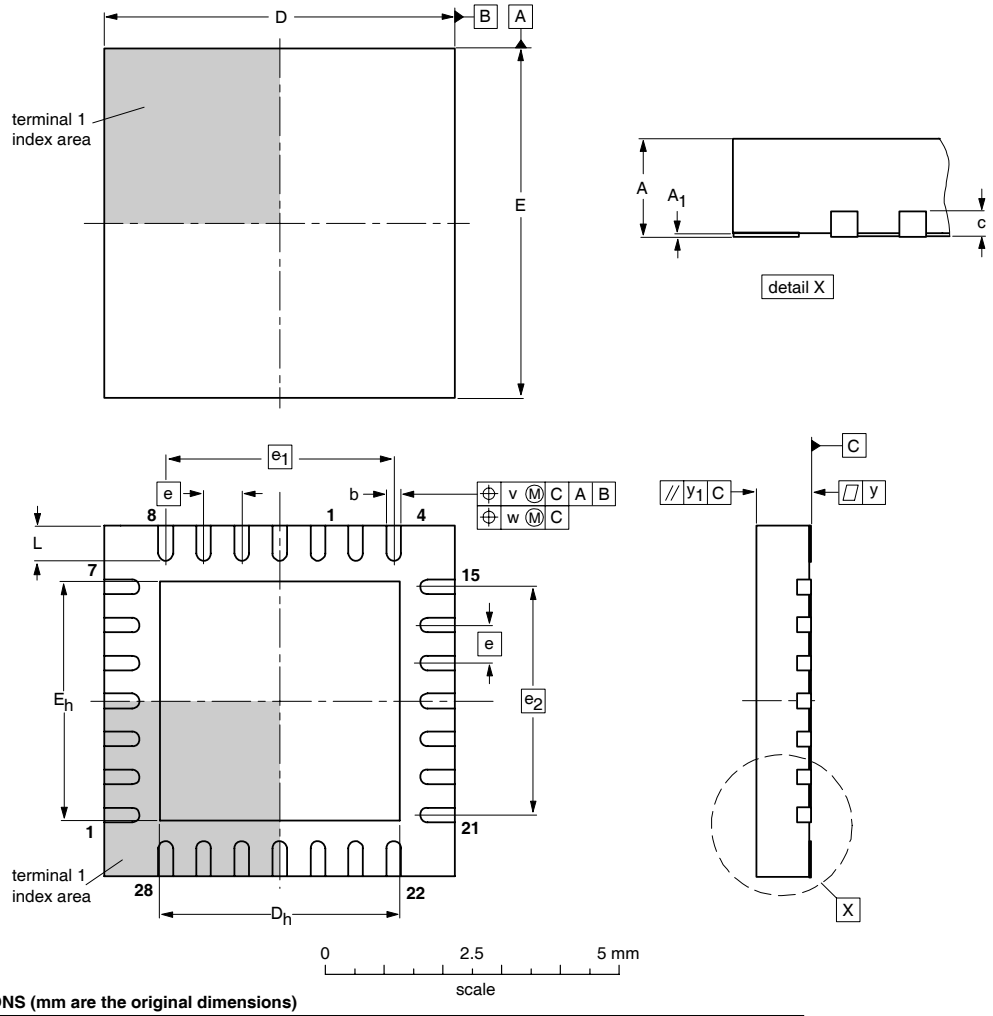
Notes

1. Plastic or metal protrusions of 0.15 mm maximum per side are not included.
2. Plastic interlead protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT361-1		MO-153				~~99-12-27~~ 03-02-19

图 30 SOT361-1(TSSOP28)封装

HVQFN28：本体大小：6×6×0.85mm



DIMENSIONS (mm are the original dimensions)

UNIT	A(1) max.	A_1	b	c	D(1)	D_h	E(1)	E_h	e	e_1	e_2	L	v	w	y	y_1
mm	1	0.05 0.00	0.35 0.25	0.2	6.1 5.9	4.25 3.95	6.1 5.9	4.25 3.95	0.65	3.9	3.9	0.75 0.50	0.1	0.05	0.05	0.1

Note

1. Plastic or metal protrusions of 0.075 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT788-1	- - -	MO-220	- - -			02-10-22

图 31 SOT788-1(HVQFN28)封装

14. 缩写词

表 16 缩写词列表

缩写词	描述
A/D	模拟到数字
ADC	模数转换器
CCU	捕获/比较单元
CPU	中央处理单元
DAC	数模转换器
EPROM	可擦除可编程只读存储器
EEPROM	电可擦除可编程只读存储器
EMI	电磁干扰
IAP	在应用编程
ICP	在电路编程
ISP	在系统编程
LED	发光二极管
PLL	锁相环
PWM	脉宽调制
RAM	随机存取存储器
RC	电阻电容
RTC	实时时钟
SAR	逐次逼近式寄存器
SFR	特殊功能寄存器
SPI	串行外围接口
UART	通用异步接收器/发送器

15. 修订记录

表 17 修订记录

文档 ID	发布日期	数据手册状态	更改通知	文档编号
P89LPC938_1	20050225	器件数据手册	-	9397 750 14051

附录A 周立功公司相关信息

广州周立功单片机发展有限公司

地址：广州市天河北路 689 号光大银行大厦 15 楼 F1 邮编：510630
电话：(020)38730916 38730917 38730976 38730977
传真：(020)38730925
网址：http://www.zlgmcu.com

广州专卖店

地址：广州市天河区新赛格电子城 203-204 室
邮编：510630
电话：(020)87578634 87578842 87569917
传真：(020)87578842
E-mail：guangzhou@zlgmcu.com

北京周立功

地址：北京市海淀区知春路 113 号银网中心 712 室
邮编：100086
电话：(010)62536178 62536179 82628073
传真：(010)82614433
E-mail：beijing@zlgmcu.com

杭州周立功

地址：杭州市登云路 428 号浙江时代电子商城 205 号 邮编：310000
电话：(0571)88009205 88009932 88009933
传真：(0571)88009204
E-mail：hangzhou@zlgmcu.com

深圳周立功

地址：深圳市深南中路 2070 号电子科技大厦 A 座 24 楼 2403 室
邮编：518031
电话：(0755)83783298 83781768 83781788
传真：(0755)83793285
E-mail：shenzhen@zlgmcu.com

上海周立功

地址：上海市北京东路 668 号科技京城东座 7E 室
邮编：200001
电话：(021)53083452 53083453 53083496
传真：(021)53083491
E-mail：shanghai@zlgmcu.com

南京周立功

地址：南京市珠江路 280 号珠江大厦 2006 室
邮编：210018
电话：(025)83613221 83613271 83603500
传真：(025)83613271
E-mail：nanjing@zlgmcu.com

重庆周立功

地址：重庆市九龙坡区石桥铺科园一路二号大西洋国际大厦(赛格电子市场) 1611 室
邮编：400039
电话：(023)68796438 68796439 68797619
传真：(023)68796439
E-mail：chongqing@zlgmcu.com

成都周立功

地址：成都市一环路南一段 57 号金城大厦 612 室
邮编：610041
电话：(028)85499320 85437446
传真：(028)85439505
E-mail：chengdu@zlgmcu.com

武汉周立功

地址：武汉市洪山区广埠屯珞瑜路 158 号 12128 室（华中电脑数码市场）
邮编：430079
电话：(027)87168497 87168397 87168297
传真：(027)87163755
E-mail：wuhan@zlgmcu.com

西安办事处

地址：西安市长安北路 54 号太平洋大厦 1201 室
邮编：710061
电话：(029)87881296 87881295 83063000
传真：(029)87880865
E-mail：XAagent@zlgmcu.com